

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H03H 17/00

(11) Publication No.: P1999-0063251

(43) Publication Date: 26 July 1999

(21) Application No.: 10-1998-0056491

(22) Application Date: 19 December 1998

(71) Applicant:

Matsushita Electric Industrial Co., Ltd.

1006, Kadoma, Kadoma-city, Osaka, Japan

(72) Inventor:

SHINDE HIROKI

(54) Title of the Invention:

Digital Filter, Method of Processing Digital Signal, and Communication Apparatus

Abstract:

A digital filter is an FIR filter having an interpolation rate "x". The digital filter includes a plurality of delay devices through which serial data is input and a plurality of data distributors distributing data output from the plurality of delay devices to "x" signal paths using a time division method. Each data distributor operates "x" times faster than a serial data input rate to distribute data to "x" different paths in a time division mode.

Preferably, based on the symmetry of digital filter coefficients, only digital filter coefficients corresponding to half of taps at one side of the digital filter are prepared, and data output from a pair of symmetric delay devices is input to a single data distributor and distributed in the time division mode.

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶ H03H 17/00 (11) 공개번호 특 1999-0063251
(43) 공개일자 1999년 07월 26일

(21) 출원번호 10-1998-0056491
(22) 출원일자 1998년 12월 19일
(30) 우선권주장 97-365287 1997년 12월 20일 일본(JP)
98-345766 1998년 12월 04일 일본(JP)
(71) 출원인 마쓰시타덴키산교 가부시끼가이샤 모리시타 요이치
일본 오사카후 가도마시 오아자 가도마 1006
(72) 발명자 신데 히로키
일본 가나가와켄 가와사키시 다마쿠 마스카타 5-26-24-202
(74) 대리인 김창세

심사청구 : 있음

(54) 디지털 필터, 디지털 신호 처리 방법 및 통신 장치

요약

본 발명의 디지털 필터는, x 배 보간(x 는 보간율)형의 FIR 필터이다. 이 디지털 필터는, 시리얼 데이터가 입력되는 복수단의 지연 요소와, 복수단의 지연 요소 각각의 출력 데이터를 시분할 방식에 의해 x 개의 서로 다른 신호 경로로 분배하는 복수의 데이터 분배기를 갖는다. 각 데이터 분배기는, 시리얼 데이터의 입력 레이트의 x 배로 동작하여, x 개의 서로 다른 경로로 시분할로 데이터를 분배한다.

바람직하게는, 디지털 필터 계수열의 대칭성을 이용하여, 디지털 필터의 편측 절반의 값에 대응하는 디지털 필터 계수만을 준비해 두고, 대칭의 위치 관계에 있는 한 쌍의 지연 요소의 각 출력 데이터를 하나의 데이터 분배기에 입력하여, 각 데이터를 시분할 방식으로 분배한다.

대표도

도 5

명세서

도면의 간단한 설명

- 도 1의 (a)는 디지털 입력 신호의 파형도,
- 도 1의 (b)는 4배 제로 보간후의 디지털 신호의 파형도,
- 도 1의 (c)는 디지털 필터의 출력 신호의 파형도,
- 도 2의 (a)는 클럭에 동기하여 입력되는 디지털 신호의 일례를 도시한 도면,
- 도 2의 (b)는 4배 제로 보간후의 디지털 신호를 도시한 도면,
- 도 3은 본 발명의 디지털 필터의 동작 원리를 설명하기 위한 도면,
- 도 4는 본 발명의 디지털 필터에서 사용되는 데이터 분배기의 동작을 설명하기 위한 도면,
- 도 5는 본 발명의 실시예 1인 디지털 필터의 블록도,
- 도 6은 비교예의 디지털 필터의 블록도,
- 도 7의 (a)는 우수차(偶數次)·우대칭(偶對稱)의 디지털 필터 계수열의 구성을 도시한 도면,
- 도 7의 (b)는 대칭 관계에 있는 2개의 디지털 필터 계수의 조합을 나타낸 도면,
- 도 8의 (a)는 본 발명의 실시예 1에 관한 디지털 필터가 제 1 상태에 있을 때의, 대칭 관계에 있는 디지털 필터 계수를 도시한 도면,
- 도 8의 (b)는 본 발명의 실시예 1에 관한 디지털 필터가 상태 2에 있을 때의, 대칭 관계에 있는 디지털 필터 계수를 도시한 도면,
- 도 8의 (c)는 본 발명의 실시예 1에 관한 디지털 필터가 상태 3에 있을 때의, 대칭 관계에 있는 디지털 필터 계수를 도시한 도면,
- 도 8의 (d)는 본 발명의 실시예 1에 관한 디지털 필터가 상태 4에 있을 때의, 대칭 관계에 있는 디지털

필터 계수를 도시한 도면,

도 9는 본 발명의 실시예 2에 관한 디지털 필터에 있어서의, 데이터 분배기의 동작을 설명하기 위한 도면,

도 10은 본 발명의 실시예 2에 관한 디지털 필터의 블록도,

도 11은 데이터 분배기의 일례의 회로도,

도 12의 (a)는 데이터 분배기의 출력 데이터의 천이를 도시한 도면,

도 12의 (b)는 데이터 분배기의 동작을 나타내는 타이밍도,

도 13의 (a)는 본 발명의 실시예 3에 관한 디지털 필터의 기본적 동작을 설명하기 위한 회로도,

도 13의 (b)는 본 발명의 실시예 3에 관한 디지털 필터의 구체적인 동작을 설명하기 위한 회로도,

도 14는 본 발명의 실시예 3에 관한 디지털 필터의 블록도,

도 15는 데이터 분배기의 구성을 나타내는 블록도,

도 16의 (a)는 상태 1에 있어서의 데이터 분배기의 데이터 출력 경로를 나타내는 회로도,

도 16의 (b)는 상태 2에 있어서의 데이터 분배기의 데이터 출력 경로를 나타내는 회로도,

도 16의 (c)는 상태 3에 있어서의 데이터 분배기의 데이터 출력 경로를 나타내는 회로도,

도 16의 (d)는 상태 4에 있어서의 데이터 분배기의 데이터 출력 경로를 나타내는 회로도,

도 17의 (a)는 본 발명의 실시예 3에 있어서의 데이터 분배기의 출력 데이터의 천이를 나타내는 타이밍도,

도 17의 (b)는 데이터 분배기의 I 채널 데이터의 분배 모양을 나타내는 타이밍도,

도 17의 (c)는 데이터 분배기의 Q 채널 데이터의 분배 모양을 나타내는 타이밍도,

도 18은 데이터 분배기의 출력 데이터의 천이를 도시한 도면,

도 19는 본 발명의 실시예 4에 관한 디지털 필터의 블록도,

도 20은 본 발명의 실시예 5에 관한 디지털 필터의 블록도,

도 21은 본 발명의 실시예 6에 관한 디지털 필터의 블록도,

도 22는 본 발명의 실시예 7에 관한 통신 장치의 블록도,

도 23은 본 발명의 실시예 8에 관한 통신 장치의 블록도,

도 24는 본 발명의 실시예 9에 관한 통신 장치의 블록도,

도 25는 본 발명의 실시예 10에 관한 통신 장치의 블록도.

도면의 주요 부분에 대한 부호의 설명

500 : 디지털 필터	506 : D/A 변환기
507 : D/A 변환기	508 : 포스트 필터
509 : 포스트 필터	510 : 직교 변조기
520 : 송신 앰프	521 : 안테나
600 : 디지털 필터	606 : 제어 단자
607 : D/A 변환기	608 : D/A 변환기
609 : 포스트 필터	610 : 포스트 필터
611 : 직교 변조기	620 : 송신 앰프
621 : 안테나	700 : 디지털 필터
706 : D/A 변환기	707 : D/A 변환기
708 : 포스트 필터	709 : 포스트 필터
710 : 직교 변조기	720 : 송신 앰프
721 : 안테나	722 : 이득 오차 검출기
723 : 계수 산출 회로	800 : 디지털 필터
805 : 1/2 분주기	806 : 1/2 분주기
807 : D/A 변환기	809 : D/A 변환기
809 : 포스트 필터	811 : 포스트 필터

820 : 직교 변조기	820 : 송신 앰프
821 : 안테나	822 : 이득 오차 검출기
823 : 계수 산출 회로	40001 : 입력 단자
4100 : 쉬프트 레지스터	4101~4108 : D형 플립플롭
4200 : 카운터	4211~4218 : 데이터 분배기
4400 : 승산기	4600 : 데이터 선택기
4700 : 출력단자	5100 : 쉬프트 레지스터
5200 : 카운터	5401~5416 : 승산기
5501~5514 : 가산기	5600 데이터 선택기
5700 : 출력단자	6005 : 패러럴·시리얼 변환기
6100 : 쉬프트 레지스터	6200 : 데이터 분배기
6201~6216 : 데이터 선택기	
6301~6316 : 디지털 필터 계수 저장 회로	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디지털 필터, 디지털 신호 처리 방법 및 통신 장치에 관한 것이다.

m 비트의 데이터를, x 배 보간 회로에 의해서 $(m \cdot x)$ 비트의 데이터로 하고, 이 $(m \cdot x)$ 비트의 데이터를 디지털 필터에 입력하여 디지털 신호 처리하는 경우, 보간을 x 에 비례하여 디지털 필터를 구성하는 자연 요소의 수(쉬프트 레지스터의 단수(段數))가 증대된다. 또한, 디지털 필터의 동작 주파수도 x 배로 된다. 이 때문에, 디지털 필터의 소비 전력이 증대하고, 디지털 필터를 IC화한 경우에는, 그 점유 면적도 증대한다.

또한, 복수 계통의 시리얼 데이터를, 각 계통마다 병렬로 디지털 신호 처리하는 경우에는, 디지털 필터를 복수개 준비해야 하기 때문에, 점차 소비 전력의 증대나 IC 칩상에 있어서의 점유 면적 증대를 초래하게 된다.

발명이 이루고자하는 기술적 과제

본 발명의 하나의 목적은, 디지털 신호를 $x(x$ 는 4 이상의 자연수)배 보간하여 처리하는 기능을 갖는, 저 소비 전력형이면서 소형인 디지털 필터를 제공하는 것이다.

본 발명의 디지털 필터는, 시리얼 데이터가 입력되는 복수단의 자연 요소와, 복수단의 자연 요소 각각의 출력 데이터를 시분할 방식으로 x 개의 서로 다른 신호 경로에 분배하는 복수의 데이터 분배기를 갖고, 각 데이터 분배기는 시리얼 데이터의 입력 레이트의 x 배로 동작한다.

데이터 분배기가 고속으로 데이터를 분배한 결과, 디지털 필터로 처리하는 데이터수가 x 배로 되어 데이터의 보간이 실현되는 반면, 자연 요소의 수는 종래의 $1/x$ 이만 되기 때문에, 복수단의 자연 요소의 동작 주파수도 $1/x$ 로 된다.

또한, 본 발명의 디지털 필터의 바람직한 실시예에 있어서는, 각 데이터 분배기의 출력 데이터에 디지털 필터 계수를 승산하는 승산기와, x 계통의 가산기군을 갖는다.

또한, 본 발명의 디지털 필터의 다른 바람직한 실시예에 있어서는, 디지털 필터를 제로(zero) 내삽형 보간 필터로 한다.

또한, 본 발명의 디지털 필터의 다른 바람직한 실시예에 있어서는, 디지털 필터 계수열의 대칭성을 이용하여, 디지털 필터의 편측 절반의 탭에 대응하는 승산 계수만을 준비해 두고, 대칭 위치 관계에 있는 한 쌍의 자연 요소의 각 출력 데이터를 하나의 데이터 분배기에 입력하여, 각 데이터를 시분할 방식으로 분배한다. 이에 따라, 디지털 필터 계수의 수, 승산기의 수 및 가산기의 수를 $1/2$ 로 할 수 있다.

또한, 본 발명의 디지털 필터의 다른 바람직한 실시예에 있어서는, 대칭 위치 관계에 있는 한 쌍의 자연 요소의 각 출력 데이터를 시분할 방식으로 분배할 때, 각각의 데이터의 분배 방향을 서로 반대 방향으로 한다.

또한, 본 발명의 디지털 필터의 다른 바람직한 실시예에 있어서는, 2 계통의 시리얼 데이터를 다중화하여 1 계통의 시리얼 데이터로 하고, 그 시리얼 데이터를, 좌우 대칭 구조의 구성을 갖는 복수단의 자연 요소에 입력하여, 대칭 위치 관계에 있는 한 쌍의 자연 요소의 각 출력을 선택기를 거쳐서 시분할로 분배하여, 2 계통의 데이터를, 각 계열의 독립성을 손상시키지 않도록 병렬로 처리하여, 최종적으로 각 계열마다의 데이터로 분리한다.

이에 따라, 복수단의 자연 요소수는 종래의 $1/x$ 로 되고, 그 동작 주파수는 $2/x$ 로 저감되어, 디지털 필터

계수의 수, 승산기의 수 및 가산기의 수도 종래의 $1/x$ 로 된다.

또한, 본 발명의 디지털 필터의 다른 바람직한 실시예에 있어서는, 선택기의 구성을 고안하고, 또한 다중화되는 2 계열의 데이터로서 서로 직교하는 데이터를 사용한다. 서로 직교하는 데이터는, 예를 들면 디지털 무선 통신에 사용되는 1 신호 데이터와 0 신호 데이터이다.

또한, 본 발명의 디지털 필터의 다른 바람직한 실시예에 있어서는, 디지털 필터로부터 분리되어 출력되는 2 계통의 데이터 중 한쪽에 대하여, 위상을 조정하는 위상 조정 회로를 마련한다.

또한, 본 발명의 디지털 필터의 다른 바람직한 실시예에 있어서는, 위상 조정 회로를 경유한 데이터와 경유하지 않은 데이터 중 어느 한쪽을 선택하여 출력할 수 있는 선택기를 마련한다. 이 선택기의 제어에 의해, QPSK(Quadrature Phase Shift Keying) 변조 신호와 OQPSK(Offset Quadrature Phase Shift Keying) 변조 신호를 선택적으로 출력하는 것도 가능하게 된다.

또한, 본 발명의 디지털 필터의 다른 바람직한 실시예에 있어서는, 다중화된 2 계통의 데이터에 대응시켜 2 종류의 디지털 필터 계수를 준비하여, 디지털 필터 계수를 선택적으로 사용한다. 2 종류의 디지털 필터 계수는 적절히 리라이트(rewrite)할 수 있도록 하는 것이 바람직하다.

또한, 본 발명의 디지털 필터의 다른 바람직한 실시예에 있어서는, 디지털 필터에서 사용하는 클럭의 주파수를 가변(可變)으로 한다. 이 경우, 디지털 필터로부터 출력되는 2 계통 데이터의 출력 타이밍을 조정하는 타이밍 조정 회로를 마련하는 것도 가능하다.

본 발명에 따르면, 디지털 신호를 x (x 는 4 이상의 자연수)배 보간하여 처리하는 기능을 갖는, 저소비 전력형이면서 소형인 새로운 디지털 필터가 실현된다.

또한, 본 발명의 통신 장치는, 상술한 x 배 보간 디지털 필터를 구비하는 통신 장치이다. 디지털 필터는, D/A 변환전의 송신 신호의 대역을 제한하기 위해 사용할 수 있다.

또한, 본 발명의 통신 장치의 바람직한 형태에 있어서는, 디지털 필터에 있어서의 승산 계수를 실시간으로 갱신하여 필터의 이득을 적절히 조정함으로써, 2 계통의 송신 신호의 이득 오차를 축소시킨다.

또한, 본 발명의 통신 장치의 다른 바람직한 실시예에 있어서는, 디지털 필터의 동작 주파수를 적절하게 선택함으로써, 다른 회로와의 정합성(整合性)을 높일 수 있다.

본 발명에 따르면, 디지털 이동 통신에 사용할 수 있는, 고성능, 고속, 저소비 전력형이면서 소형인, 신규의 통신 장치가 실현된다.

본 발명의 상기 및 그 밖의 목적, 특징, 국면 및 이익 등은 첨부 도면을 참조로 하여 설명하는 이하의 상세한 실시예로부터 더욱 명백해질 것이다.

발명의 구성 및 작용

이하, 본 발명의 실시예에 대하여 도면을 참조하여 설명한다.

(실시예 1)

본 실시예의 디지털 필터의 전체 구성을 도 5에 도시한다. 이 디지털 필터의 전체 구성에 대해 설명하기 전에, 도 1~도 4를 이용하여 도 5의 디지털 필터의 특징을 설명한다.

본 실시예의 디지털 필터는, 제로(zero) 레벨의 데이터를 보간하는 기능을 갖는 보간을 x 가 4인 FIR(Finite impulse response)형 디지털 필터(4배 제로 보간 필터)이다.

4배 제로 보간 필터는, 예를 들면 도 1의 (a)에 도시하는 것과 같은 임펄스 성분을 갖는 디지털 신호를 입력으로 하여, 4배의 제로 내삽(內挿) 보간 처리를 실행함으로써, 도 1의 (b)에 도시하는 것과 같은 4배 보간 신호를 얻고, 이 4배 보간 신호에 대하여 적합(積合; sum of products) 연산을 실시함에 따라, 도 1의 (c)에 나타내는 것과 같은 디지털 필터 출력 신호를 얻는 것이다.

본 실시예에서는, 도 2의 (a)에 도시하는 바와 같이 심볼 클럭에 동기하여 1 또는 -1의 심볼 데이터가 입력된다. 심볼 데이터의 입력 주기는 T_s 이다. 또, 이하의 설명에 있어서, $1/T_s$ 를 심볼 레이트라고 한다.

다음에, 도 2의 (b)에 도시하는 바와 같이 심볼 데이터 사이에 제로 레벨의 3개의 데이터가 삽입된다. 이에 따라 데이터수가 4배로 되어, 디지털 필터에 있어서의 쉬프트 레지스터의 데이터 전송 주기 T_{fs} 는 심볼 데이터의 입력 주기 T_s 의 4배로 된다. 또, 이하의 설명에서는, $1/T_{fs}$ 를 쉬프트 레지스터의 전송 레이트라고 한다.

여기서, 0, 0, 0, +1의 시리얼 데이터가 쉬프트 레지스터에 입력된 경우를 고려한다. 그들의 입력 시리얼 데이터가 쉬프트 레지스터내로 전송되어 가는 모양이 도 3에 도시되어 있다.

도 3에 있어서, 참조 부호(101~104)는 쉬프트 레지스터(지연기)의 각 단의 기억 소자(지연 요소)를 나타내고, 참조 부호(111~114)는 디지털 필터 계수의 기억 회로를 나타내며, 참조 부호(121~124)는 승산기를 나타내고, h1~h4는 디지털 필터 계수(승산 계수)를 나타낸다.

도 3으로부터 명백한 바와 같이, 쉬프트 레지스터내에서는, 전송 클럭에 동기하여 데이터 1이 좌측에서부터 우측으로 한 단씩 전송되고, 이에 따라 h1~h4가 순차적으로 출력된다.

여기서, h1~h4 중 어느 하나가 출력되는 것은 4개의 출력 단자 중 1개이며, 이 때 다른 3개 단자의 출력은 모두 제로 레벨로 되어 있다. 따라서, 도 3의 회로에 있어서, 쉬프트 레지스터의 부분은, 데이터 1을 시분할 방식으로 좌측 단자에서부터 우측 단자로 순차 분배하고, 데이터가 분배되어 있지 않은 다른

단자를 제로 레벨로 고정한다고 하는 동작을 실행하고 있는 것으로 간주할 수 있다.

이 점에 주목하여, 본 실시예에서는, 도 4에 도시하는 데이터 분배기를 사용하여, 도 3의 회로와 등가의 기능을 실현한다.

즉, 도 4에 있어서, 하나의 기억 소자(10)에는 데이터 1이 유지되어 있다. 이 상태에서, 데이터 분배기(스위치 회로)(20)는, 데이터 1을, 심볼 레이트의 4배의 속도로, 단자(21)~단자(24)에 시분할적으로 배분하는 동작을 실행한다. 이에 따라, 4개의 출력 단자 OUT1~OUT4로부터는 순차적으로 h1~h4가 출력되어, 도 3의 회로와 등가의 처리가 실현된다.

도 4의 회로에 있어서, 쉬프트 레지스터의 단수는 도 3의 회로의 1/4로 되어, 회로가 대폭 간소화된다. 쉬프트 레지스터는, 예를 들면 다수의 0형 플립플롭을 다단 접속하여 구성되므로, IC화한 경우에 칩상에서 상당한 면적을 점유하게 된다. 따라서, 쉬프트 레지스터의 단수가 1/4로 됨에 따라, IC의 소형화가 촉진된다.

또한, 4배 보간을 실행함에도 불구하고, 쉬프트 레지스터의 동작 주파수를 4배로 할 필요가 없어, 소비 전력의 저감을 도모할 수 있다. 즉, 4배 보간한 데이터를 쉬프트 레지스터에 입력하는 경우에는, 디지털 필터 전체의 동작 주파수가, 보간을 행하지 않은 경우의 4배로 되게 된다.

그러나, 본 실시예에서는, 보간전의 데이터를 쉬프트 레지스터에 입력하고, 그 입력 레이트의 4배의 주파수로 데이터를 분배함으로써, 디지털 필터의 내부에서 4배 보간을 실질적으로 달성하기 때문에, 데이터 분배기의 부분만큼 동작 주파수는 상승하지만, 쉬프트 레지스터의 부분은 4배 보간을 실행하지 않은 경우와 동일한 주파수로 동작하면 되므로, 이에 따라 소비 전력의 상당한 저감을 도모할 수 있다.

이상이 본 실시예의 디지털 필터의 특징이다. 이하, 도 5를 이용하여 본 실시예의 디지털 필터의 구성과 동작에 대하여 구체적으로 설명한다.

도 5의 디지털 필터는, 카운터(4200)와, 0형 플립플롭(지연 소자)(4101~4108)으로 이루어지는 쉬프트 레지스터(지연기)와, 입력수와 출력수의 비가 1:4인 데이터 분배기(4211~4218)와, 디지털 필터 계수 h1~h32를 저장하는 디지털 필터 계수 저장 회로(4301~4332)와, 승산기(4401~4432)와, 가산기(4501~4528)와, 데이터 선택기(4600)를 구비한다.

심볼 데이터(Din)는 입력 단자(4001)로부터 심볼 클럭 CLK1(4.096Mhz)에 동기하여 입력된다. 심볼 클럭 CLK1은 클럭 입력 단자(4002)로부터 입력된다.

카운터(4200)는, 단자(4003)로부터 입력되는, 심볼 클럭 CLK1의 4배의 주파수인 클럭 CLK4의 입력수를 1부터 4까지 계수하는 동작을 주기적으로 반복하는 것으로, 각 카운트마다 1개의 클럭을 출력한다.

데이터 분배기(4211~4218)는, 단자 A에 입력되는 데이터를 카운터(4200)의 출력에 동기하여 4개의 단자 Y1~Y4에 시분할적으로 분배한다.

각 데이터 분배기에 있어서, 하나의 단자(예를 들면, Y1)가 선택되어 있는 경우, 다른 단자(Y2~Y4)의 출력 레벨은 제로 레벨로 고정된다. 상술한 바와 같이, 이 데이터 분배에 의해서 실질적으로 4배의 제로 보간이 실현된다.

도 3 및 도 4로부터도 명백한 바와 같이, 각 데이터 분배기가 데이터를 시분할적으로 분배할 때, 데이터의 분배처에 대응하여 4개의 상태가 존재하게 된다.

즉, 도 5의 데이터 분배기(4211~4218)에 있어서, 데이터의 출력처로서 단자 Y1이 선택되어 있을 때가 상태 1이고, 데이터의 출력처로서 단자 Y2가 선택되어 있을 때가 상태 2이며, 마찬가지로 단자 Y3이 선택되어 있을 때가 상태 3, 단자 Y4가 선택되어 있을 때가 상태 4이다.

각 상태에 있어서의 전달 함수 H(z)는, 다음 수학적식 1~수학적식 4와 같이 된다.

상태 1 :

$$H(z)=h1+h5z^{-4}+h9z^{-8}+h13z^{-12}+h17z^{-16}+h21z^{-20}+h25z^{-24}+h29z^{-28}$$

상태 2 :

$$H(z)=h2z^{-1}+h6z^{-5}+h10z^{-9}+h14z^{-13}+h18z^{-17}+h22z^{-21}+h26z^{-25}+h30z^{-29}$$

상태 3 :

$$H(z)=h3z^{-2}+h7z^{-6}+h11z^{-10}+h15z^{-14}+h19z^{-18}+h23z^{-22}+h27z^{-26}+h31z^{-30}$$

상태 4 :

$$H(z)=h4z^{-3}+h8z^{-7}+h12z^{-11}+h16z^{-15}+h20z^{-19}+h24z^{-23}+h28z^{-27}+h32z^{-31}$$

상기 수학적식 1 내지 수학적식 4에 있어서, z^{-m}은 m차 지연을 나타낸다.

데이터 분배기(4211~4218)의 각각으로부터 출력되는 데이터에는, 승산기(4401~4432)에 있어서, 상술한 수학적식 1 내지 수학적식 4에 따라, 대응하는 디지털 필터 계수 h1~h32가 승산된다. 그리고, 가산기(4501~4528)에 의해, 상술한 4개 상태의 출력 데이터마다 데이터의 가산이 이루어진다.

데이터 선택기(4600)는, 입력 단자 A1~A4에 시분할적으로 입력되는, 상태 1~상태 4에 대응하는 각 데이터를 클럭 CLK4에 동기해 순차적으로 선택하여 출력 단자(4700)로부터 출력한다. 이렇게 하여 4배 보간된 디지털 필터 출력을 얻을 수 있다.

도 6에 비교예의 디지털 필터의 구성을 나타낸다.

도 6의 디지털 필터에서는, 심볼 데이터(Din)를 4배 보간 회로(1004)에서 4배 보간한 후, 디지털 필터에 입력한다. 4배 보간 회로(1004)는 심볼 클럭(4.096Mhz)의 4배의 클럭 CLK4(16.384Mhz)에서 동작한다.

이러한 구성에 있어서, 디지털 필터를 구성하는 쉬프트 레지스터(1100)의 단수는, 1 심볼의 비트수(데이터폭)를 n으로 하고, 보간율을 x(여기서는 x=4)로 한 경우, $n \cdot x$ 단으로 되어, 보간율 x에 비례해 증대하게 된다.

또한, 쉬프트 레지스터(1100)는, 4배 보간 회로(1004)와 마찬가지로 16.384Mhz에서 고속으로 동작할 필요가 있어, 이 부분에서의 소비 전력이 크다.

이에 반하여, 도 5의 본 실시예의 디지털 필터에 있어서, 쉬프트 레지스터의 단수는, 1 심볼의 데이터폭과 동일한 단수(즉, n단)이면 되기 때문에, 도 6의 디지털 필터에 비해 쉬프트 레지스터의 단수는 $1/x$ 로 저감된다. 따라서, 디지털 필터를 IC화한 경우의 칩 면적을 삭감할 수 있어, IC 및 그 IC가 탑재되는 전자기기의 소형화에 기여하게 된다.

또한, 쉬프트 레지스터의 동작 주파수도, 심볼 클럭의 주파수(즉, 4.096Mhz)와 동일하면 되기 때문에, x배 보간하였다고 하더라도, 이 부분에서 소비 전력이 증대되는 것은 방지된다.

이리하여 본 실시예의 디지털 필터에 따르면, 구성의 간소화, IC화한 경우의 칩 면적 삭감 및 저소비 전력화를 도모할 수 있다.

(실시예 2)

다음에, 본 발명의 실시예 2에 대하여 설명한다.

본 실시예의 4배 제로 보간 FIR형 디지털 필터의 구성을 도 10에 도시한다.

이 디지털 필터의 구성에 대하여 설명하기 전에, 도 7~도 9를 이용하여 도 10의 디지털 필터의 특징에 대해 설명한다.

본 실시예의 디지털 필터는, 전술한 실시예와 마찬가지로 시분할 방식의 데이터 분배에 의해 x배 보간을 달성한다. 이에 부가하여, 우수차(偶數次)·우대칭(偶對稱)의 디지털 필터에 있어서의 각 계수값이 좌우 대칭인 것을 이용하여, 예를 들면 좌측 절반의 계수열을 우측 절반의 계수열로서도 사용함으로써 계수의 공용화를 도모하여, 디지털 필터 계수의 수, 승산기의 수 및 가산기의 수를 전술한 실시예의 $1/2$ 로 한다.

이하, 이러한 본 실시예의 필터의 특징에 대하여 구체적으로 설명한다.

FIR 디지털 필터는 완전한 직선 위상 특성을 실현할 수 있다고 하는 이점이 있다. 직선 위상 특성이란, 입력 신호와 출력 신호의 위상차가 입력 신호의 주파수에 비례하는 특성을 말하며, 이 직선 위상 특성을 갖는 필터로서는, 위상 왜곡(출력 신호가 위상 어긋남에 기인하여 비뚤어지는 현상)이 발생하지 않는다. 따라서, 대역 제한 필터를 디지털 필터로 구성하는 경우와 같이, 위상 왜곡이 발생하는 것이 바람직하지 못한 경우에는, 직선 위상 특성을 갖는 필터(직선 위상 필터)가 필요하다.

여기서, FIR 필터가 직선 위상 특성을 갖는 조건은, 이하의 수학적식 5 또는 수학적식 6의 성립이다.

$$hm = hM - m$$

$$hm = -hm - m$$

단, 상기 수학적식에 있어서, M은 필터의 차수(=탭수)이고, $m=0, 1, \dots, M$ 이다.

수학적식 5는 우대칭(偶對稱) 필터에 대해 성립하고, 수학적식 6은 기대칭(奇對稱) 필터에 대해 성립한다.

따라서, 차수 M이 우수(偶數次)이고, 또한 계수값이 좌우 대칭(偶對稱)인 직선 위상 FIR 필터는, 도 7의 (a)에 도시한 바와 같은 디지털 필터 계수의 배열을 갖는다.

도 7의 (a)에 도시한 필터는, 32개의 디지털 필터 계수를 갖는 32 탭(필터의 차수=32)의 필터이다. 또, 도 7의 (a)에서, 가로축은 탭 번호를 나타내고, 세로축은 각 디지털 계수의 값을 나타내고 있다.

도 7의 (b)에 도시하는 바와 같이, 도 7의 (a)에 도시되는 디지털 필터 계수열을 그 중심에 있어서 좌우 대칭이 되도록 한 경우에, 서로 겹치는 위치 관계(즉, 대칭의 위치 관계)에 있는 한 쌍의 필터 계수의 값은 서로 등가이다. 본 실시예에서는 이 점에 주목하여, 예를 들면 좌측 절반의 계수(16개의 계수)만을 이용하여 32 탭의 필터를 실현함으로써, 필터 구성을 대폭 간소화할 수 있다.

도 8의 (a)~도 8의 (d) 각각은, 실시예 1에서 설명한 디지털 필터의 상태 1~상태 4의 각각에 대응하고 있으며, 각 상태에서 사용되는 디지털 필터 계수 중 상호 대칭의 위치 관계에 있는 것을 화살표로 나타내고 있다.

전술한 실시예에서 설명한 바와 같이, 입력수와 출력수가 1:4인 데이터 분배기의 최좌측 출력단으로부터 데이터가 출력되는 상태가 상태 1이다.

이 상태 1에서 사용되는 필터 계수는, 도 8의 (a)에서 사선으로 도시하는 바와 같이, $h_1, h_5, h_9, h_{13}, h_{17}, h_{21}, h_{25}, h_{29}$ 이다. 그리고, 도 8의 (a)에서 화살표로 도시하는 바와 같이, h_{17} 은 h_{16} 으로 대체할 수 있으며, 마찬가지로 h_{21} 은 h_{12} 로, h_{25} 은 h_8 로, h_{29} 은 h_4 로 대체할 수 있다.

따라서, 상태 1에 있어서는, $h_1, h_5, h_9, h_{13}, h_{16}, h_{12}, h_8, h_4$ 라고 하는 좌측 절반의 계수만을 이용하

여 적합 연산 처리를 수행하는 것이 가능하다.

도 8의 (b)는, 상태 2에 있어서의, 디지털 필터 계수의 대칭 관계를 나타내고 있다. 상태 2에 있어서 사용되는 필터 계수는, 도 8의 (b)에서 사선으로 도시한 바와 같이, h2, h6, h10, h14, h18, h22, h26, h30의 각 계수이다. 단, 화살표로 도시한 바와 같이, h18은 h15로 대체할 수 있으며, 마찬가지로, h22는 h11로, h26은 h7로, h30은 h3으로 대체할 수 있다.

따라서, 실제로는, h2, h6, h10, h14, h15, h11, h7, h3이라고 하는 좌측 절반의 계수만을 이용하여 적합 연산 처리를 수행하는 것이 가능하다.

도 8의 (c)는, 상태 3에 있어서의, 디지털 필터 계수의 대칭 관계를 나타내고 있다. 상태 3에 있어서 사용되는 필터 계수는, 도 8의 (b)에서 사선으로 나타내는 바와 같이, h3, h7, h11, h15, h19, h23, h27, h31의 각 계수이다. 단, 화살표로 도시하는 바와 같이, h19는 h14로 대체할 수 있으며, 마찬가지로 h23은 h10으로, h27은 h6으로, h31은 h2로 대체할 수 있다.

따라서, 실제로는, h3, h7, h11, h15, h14, h10, h6, h2라고 하는 좌측 절반의 계수만을 이용하여 적합 연산 처리를 수행하는 것이 가능하다.

도 8의 (d)는, 상태 4에 있어서의, 디지털 필터 계수의 대칭 관계를 나타내고 있다. 상태 3에서 사용되는 필터 계수는, 도 8의 (c)에서 사선으로 나타내는 바와 같이, h4, h8, h12, h16, h20, h24, h28, h32의 각 계수이다. 단, 화살표로 도시하는 바와 같이, h20은 h13으로 대체할 수 있으며, 마찬가지로 h24는 h9로, h28은 h5로, h32는 h1로 대체할 수 있다.

따라서, 실제로는, h4, h8, h12, h16, h13, h9, h5, h1이라고 하는 좌측 절반의 계수만을 이용하여 적합 연산 처리를 수행하는 것이 가능하다.

h1~h16의 좌측 절반의 계수만을 이용하여 연산 처리를 실행한 경우의, 상태 1~상태 4 각각에 있어서의 전달 함수 H(z)는 다음과 같이 된다.

상태 1 :

$$H(z)=h1+h5z^{-4}+h9z^{-8}+h13z^{-12}+h16z^{-16}+h12z^{-20}+h8z^{-24}+h4z^{-28}$$

상태 2 :

$$H(z)=h2z^{-1}+h6z^{-5}+h10z^{-9}+h14z^{-13}+h15z^{-17}+h11z^{-21}+h7z^{-25}+h3z^{-29}$$

상태 3 :

$$H(z)=h3z^{-2}+h7z^{-6}+h11z^{-10}+h15z^{-14}+h14z^{-18}+h10z^{-22}+h6z^{-26}+h2z^{-30}$$

상태 4 :

$$H(z)=h4z^{-3}+h8z^{-7}+h12z^{-11}+h16z^{-15}+h13z^{-19}+h9z^{-23}+h5z^{-27}+h1z^{-31}$$

각 상태에 있어서의, 수학식 7~수학식 10으로 표시되는 적합 연산 처리를 실행하기 위한 회로 구성의 일부를 도 9에 도시한다. 도 9의 회로는, 도 8의 (a)~도 8의 (d)에 도시한 32 탭의 디지털 필터 계수(탭 계수) 중, 제 1, 제 2, 제 3, 제 4의 각 탭 및 제 29, 제 30, 제 31, 제 32의 각 탭의 계수를 이용한 적합 연산 처리를 실행하는 회로를 나타내는 것이다.

도 9의 회로는, 좌우 대칭 구조로 되도록 정중앙에 있어서 접혀진 것과 같은 구성을 갖는 8 비트의 쉬프트 레지스터(지연 요소(11~18)로 구성됨)와, 쉬프트 레지스터에 입력되는 심볼 데이터의 전송 레이트의 4배의 레이트로 동작하는, 입력수와 출력수의 비가 2:4인 데이터 분배기(1)와, 승산기(40~43)와, 디지털 필터 계수(탭 계수) h1~h4를 구비한다.

데이터 분배기(1)는, 입력 단자(2)에 입력되는 데이터를 출력 단자(4)로부터 출력 단자(7)의 방향으로 순차적으로, 시분할적으로 분배하고, 이것과 병렬로, 입력 단자(3)에 입력되는 데이터를 출력 단자(7)로부터 출력 단자(4)의 방향으로 순차적으로 분배한다.

즉, 32개의 디지털 필터 계수 중 좌측 절반의 계수만을 이용하는 본 실시예에 있어서, 상태 1에서는, 도 8의 (a)에 도시하는 바와 같이 1 번째의 탭에 대응하는 입력 데이터(제 1 번째의 데이터)에는 계수 h1이 승산되는 한편, 29 번째의 탭에 대응하는 입력 데이터(제 29 번째의 데이터)에는 계수 h4가 승산된다.

도 9의 회로에 있어서, 1 번째~4 번째의 탭에 대응하는 입력 데이터는 0형 플립플롭(11)에 축적되어 있는 00이고, 29 번째~32 번째의 탭에 대응하는 입력 데이터는 0형 플립플롭(18)에 축적되어 있는 0~7이다.

따라서, 상태 1에 있어서, 00에는 승산기(40)에 의해서 계수 h1이 승산되고, 07에는 승산기(43)에 의해서 계수 h4가 승산되며, 그 승산 결과(곱)는 출력 단자 OUT1, OUT4로부터 각각 병렬로 출력된다. 그리고, 각 출력 데이터를 가산함으로써, 상술한 수학식 7의 전달 함수에 따른 처리가 실현된다.

상태 2에 있어서는, 도 8의 (b)에 도시하는 바와 같이 제 2 번째의 데이터에는 계수 h2가 승산되고, 제 30 번째의 데이터에는 계수 h3이 승산된다. 도 9의 회로에서는, 스위치의 접점(接點)이 전환됨에 따라, 상태 2에서는 데이터 분배기(1)의 출력 단자(5, 6)로부터 00과 07이 출력되고, 각각 계수 h2와 계수 h3이 승산된다. 따라서, 그 곱 데이터를 가산함으로써, 상술한 수학식 8의 전달 함수로 표시되는 처리가 실현된다.

상태 3에서는, 도 8의 (c)에 도시하는 바와 같이 제 3 번째의 데이터에는 계수 h3이 승산되고, 제 31 번

패의 데이터에는 계수 h_2 가 승산된다.

도 9의 회로에 있어서, 상태 3에서는, 데이터 분배기(1)의 출력 단자(6, 5)로부터 D0과 D-7이 출력되고, 각각 계수 h_3 와 계수 h_2 가 승산된다. 따라서, 그 곱 데이터를 가산함으로써, 상술한 수학식 9의 전달 함수로 표시되는 처리가 실행된다.

상태 4에서는, 도 8의 (d)에 도시하는 바와 같이 제 4 번째의 데이터에는 계수 h_4 가 승산되고, 제 32 번째의 데이터에는 계수 h_1 이 승산된다.

도 9의 회로에 있어서, 상태 4에서는, 데이터 분배기(1)의 출력 단자(7, 4)로부터 D0과 D-7이 출력되고, 각각 계수 h_4 와 계수 h_1 이 승산된다. 따라서, 그 곱 데이터를 가산함으로써, 상술한 수학식 9의 전달 함수로 표시되는 처리가 실행된다.

이와 같이, 본 실시예에서는, 쉬프트 레지스터를 반으로 접어, 대칭의 위치 관계에 있는 한 쌍의 D형 플립플롭의 각 출력을 1개의 데이터 분배기에 입력하고, 각 입력 신호를, 서로 반대 방향으로 시분할적으로 분배함으로써, 디지털 필터 계수의 수를 절반으로 한다. 계수의 수가 반감됨으로써, 승산기 및 가산기의 수도 절반으로 되어, 회로를 대폭 간소화할 수 있다.

이상이 실시예 2에 관한 디지털 필터의 특징이다.

이하, 도 10~도 12의 (b)를 이용하여, 본 실시예의 디지털 필터의 구성과 동작에 대하여 구체적으로 설명한다.

도 10의 디지털 필터는, 32 탭 구성의 필터로서, 카운터(5200)와, D형 플립플롭(지연소자)(5101~5108)으로 이루어지는 쉬프트 레지스터(지연기)(5100)와, 입력수와 출력수의 비가 2:4인 데이터 분배기(5211~5214)와, 디지털 필터 계수 h_1 ~ h_{16} 을 저장하는 디지털 필터 계수 저장 회로(5301~5316)와, 승산기(5401~5416)와, 가산기(5501~5514)와, 데이터 선택기(5600)를 구비한다.

시리얼 데이터(Din)는, 4.096Mhz의 클럭(CLK1)에 동기하여 쉬프트 레지스터(5100)에 입력된다.

도 10으로부터 명백한 바와 같이, 8 비트의 쉬프트 레지스터(5100)는 전단(前段)의 4 비트와 후단(後段)의 4 비트 사이에서 좌우 대칭으로 접혀진 것과 같은 구성을 갖는다.

또한, 데이터 분배기(5211~5214)는 각각, 2개의 입력단(A, B) 및 4개의 출력단(Y1~Y4)을 갖고 있다. 그리고, 입력단 A의 입력 데이터는 출력단 Y1, Y2, Y3, Y4의 순서로 시분할적으로 분배되는 한편, 입력단 B의 입력 데이터는 출력단 Y4, Y3, Y2, Y1의 순서로 시분할적으로 분배된다.

또, 데이터 분배기(5211)는 제 1~제 4 탭 및 제 29~제 32 탭에 관한 데이터 분배를 담당하고, 데이터 분배기(5212)는 제 5~제 8 탭 및 제 25~제 28 탭에 관한 데이터 분배를 담당하며, 데이터 분배기(5213)는 제 9~제 12 탭 및 제 21~제 24 탭에 관한 데이터 분배를 담당하고, 데이터 분배기(5214)는 제 13~제 16 탭 및 제 17~제 20 탭에 관한 데이터의 분배를 담당한다.

또한, 도 10으로부터 명백한 바와 같이, 디지털 필터 계수는, 편측 절반의 16개 계수(h_1 ~ h_{16})만이 준비되어 있다. 이에 대응하여, 승산기(5401~5416)의 수도 16개이다.

가산기군(5501~5514)은, 상술한 4개 상태의 출력 데이터마다 데이터를 가산한다. 데이터 선택기(5600)는, 클럭 CLK4(16.384Mhz)에 동기하여 입력단 A, B에 입력되는 데이터를 교대로 선택해 출력 단자(5700)로부터 출력한다.

이렇게 하여, 4배 제로 보간 기능을 갖는 32 탭의 디지털 필터가 실현된다.

도 11에, 데이터 분배기(5211)의 구체적인 회로 구성의 일례를 나타낸다. 도 11의 회로는 도 9에 도시된 회로를 구체화한 것이다.

도 10의 회로에 있어서는, 카운터(5200)를 이용하여 클럭 CLK4(16.384Mhz)를 계수하고, 이에 따라 쉬프트 레지스터의 전송 속도의 4배의 레이트로 시분할적인 데이터 분배를 실행하고 있지만, 도 11의 회로는, 회로 구성을 고안하여, 보다 낮은 주파수의 클럭으로 동등한 기능을 실현하도록 하고 있다. 즉, 도 11의 데이터 분배기에서는, CLK1(4.096Mhz) 및 CLK2(8.192Mhz)를 사용하여 데이터를 분배한다.

도 12의 (a)는 상태 1~상태 4에 대응하여 도 11의 회로로부터 출력되는 데이터의 내용을 나타내고 있으며, 도 12의 (b)는 클럭 CLK1 및 CLK2의 각 레벨에 대응하여 4개의 출력 단자(OUT1~OUT4) 중에서 어느 것이 유효화되는지를 나타내고 있다.

도 11로부터 명백한 바와 같이, 데이터 분배기(5211)는 데이터 선택기(211~214)와, 복수의 논리 게이트(221~228, 231~234)를 구비한다.

데이터 선택기(211~214)는 에지 트리거 타입(edge trigger type)의 선택기로서, 클럭 CLK2의 포지티브 에지(positive edge)(상승 에지)에 동기하여 단자 A에 입력되는 데이터를 선택하고, 네가티브 에지(negative edge)(하강 에지)에 동기하여 단자 B에 입력되는 데이터를 선택한다.

우선, 도 12의 (b)의 시각 t_1 에서 CLK1 및 CLK2가 모두 하이(high) 레벨로 변화하면, 시각 t_1 ~시각 t_2 의 기간에서는 도 11에 도시한 AND 게이트군 중, AND 게이트(221, 228)는 유효화되고, 다른 AND 게이트(222~227)는 출력이 강제적으로 0(zero)에 고정된다.

따라서, 도 11의 D형 플립플롭(5101)으로부터 입력되는 데이터는, 선택기(211), AND 게이트(221), OR 게이트(231)를 거쳐 출력되는 한편, D형 플립플롭(5108)으로부터 입력되는 데이터는, 선택기(214), AND 게이트(228), OR 게이트(234)를 거쳐 출력된다. 따라서, 출력 단자 OUT1 및 출력 단자 OUT4로부터 데이터가 출력된다.

도 12의 (b)의 시각 t2에 있어서, 클럭 CLK2는 로우 레벨로 변화한다. 그렇게 하면, 이 하강 에지에 동기하여 도 11의 선택기(211~214)는 단자 B에 입력되는 데이터를 선택하는 모드로 전환된다. 시각 t2~t3까지의 기간 동안에는, AND 게이트(223)와 AND 게이트(226)가 유효화되고, 다른 AND 게이트의 출력은 강제적으로 0(zero)에 고정된다. 이 때문에, D형 플립플롭(5101)으로부터 입력되는 데이터는, 선택기(212), AND 게이트(223), OR 게이트(232)를 거쳐 출력되는 한편, D형 플립플롭(5108)으로부터 입력되는 데이터는, 선택기(213), AND 게이트(226), OR 게이트(233)를 거쳐 출력된다. 따라서, 출력 단자 OUT2 및 출력 단자 OUT3으로부터 데이터가 출력된다.

마찬가지의 동작에 의해, 시각 t3~t4의 기간중에, D형 플립플롭(5101)으로부터 입력되는 데이터는, 선택기(213), AND 게이트(225), OR 게이트(233)를 거쳐 출력 단자 OUT3으로부터 출력된다. 한편, D형 플립플롭(5108)으로부터 입력되는 데이터는, 선택기(212), AND 게이트(224), OR 게이트(232)를 거쳐 출력 단자 OUT3으로부터 출력된다.

또한, 마찬가지로의 동작에 의해, 시각 t4~t5의 기간중에, D형 플립플롭(5101)으로부터 입력되는 데이터는, 선택기(214), AND 게이트(227), OR 게이트(234)를 거쳐 출력 단자 OUT4로부터 출력된다. 한편, D형 플립플롭(5108)으로부터 입력되는 데이터는, 선택기(211), AND 게이트(222), OR 게이트(231)를 거쳐 출력 단자 OUT1로부터 출력된다.

이렇게 하여, 도 9를 이용하여 설명한 2 계통의 데이터의 동시 분배가 실현된다. 상태 1~상태 4에 대응하여 각 출력 단자(OUT1~OUT4)로부터 출력되는 데이터는, 도 12의 (a)에 도시하는 바와 같이 된다.

도 11의 데이터 분배기는, 심볼 클럭(CLK1)의 2배 주파수인 클럭(CLK2)의 에지를 이용하여, 심볼 데이터의 전송 레이트의 4배 레이트의 데이터 분배를 가능하게 한다. 이에 따라, 사용하는 클럭의 주파수가 저감되는 만큼, 소비 전력을 억제할 수 있다.

(실시예 3)

다음에, 본 발명의 실시예 3에 대하여 설명한다.

본 실시예의 4배 제로 보간 FIR형 디지털 필터의 구성을 도 14에 도시한다.

이 디지털 필터의 구성과 동작에 대하여 설명하기 전에, 도 13의 (a)~도 13의 (b)를 이용하여, 도 14의 디지털 필터의 특징에 대하여 설명한다.

도 12의 (a), 도 12의 (b)에 도시한 바와 같이, 실시예 2의 경우, 4개의 출력 단자 OUT1~OUT4 중, 동시에 유효화되는 것은 2개뿐이고, 2개의 출력 단자로부터 데이터가 출력되고 있을 때, 다른 2개의 단자는 제로 레벨에 고정된 상태가 유지된다.

이러한 낭비를 없애고, 4개의 출력 단자 OUT1~OUT4 모두로부터 동시에 데이터가 출력되도록 하면, 4개 데이터의 병렬 처리(동시 처리)가 가능해져 대단히 효율높은 필터링 처리가 가능해진다.

이러한 관점에서, 본 실시예에 있어서는, 도 17의 (a), 도 18에 도시하는 바와 같이 4 계통의 데이터의 병렬 처리(동시 처리)를 실현하여, 회로 규모의 대폭적인 축소와, 소비 전력의 저감을 달성한다.

본 실시예에서는, 우선, 서로 다른 2 계통의 시리얼 데이터를 다중화하여 1 계통의 시리얼 데이터로 한다. 여기서는, 다중화되는 한쪽의 데이터 계열을 I 데이터 계열로 하고, 다른쪽의 데이터 계열을 Q 데이터 계열로 한다. I 데이터 계열은, 예를 들면 4상(相) 위상 변조(QPSK) 신호에 있어서의 동상(同相) 성분(Inphase)의 시리얼 데이터이고, Q 데이터 계열은, 직교 성분(Quadrature)의 시리얼 데이터이다. 각 계열의 한 쌍의 데이터는, 본래 병렬로 처리되어야 하는 데이터이다.

I, Q 각 계열의 데이터의 전송 주파수(전송 레이트)를 f_1 로 한 경우, 이들 2 계통의 데이터를 다중화하여 1 계통의 시리얼 데이터로 한 경우의 전송 주파수(전송 레이트)는 $2 \cdot f_1$ 로 되고, 따라서 본 실시예의 디지털 필터에 입력되는 시리얼 데이터의 전송 레이트는, 전송한 실시예의 2배이다. 또한, 상술한 바와 같이, 4배 제로 보간을 시분할 방식의 데이터 분배로 실행하는 경우의 데이터 분배의 주파수(분배 레이트)는 $4 \cdot f_1$ 이다.

여기서, 다중화된 시리얼 데이터에 대하여 고찰하면, 도 17의 (a)~도 17의 (c)에 도시된 바와 같이, I 계열의 데이터(I0, I1...)와 Q 계열의 데이터(Q0, Q1...)는 교대로 삽입되기 때문에, I 계열의 데이터와 Q 계열의 데이터 위상이 서로 다르다. 그 위상의 편차량은 데이터 분배 주기의 2배이다.

따라서, 도 18의 좌측에 도시된 바와 같이, I 계열의 데이터가 상태 1, 상태 2, 상태 3, 상태 4로 천이할 때, Q 계열의 데이터는 상태 3, 상태 4, 상태 1, 상태 2로 천이하게 되어, I 계열의 데이터와 Q 계열의 데이터는 동일 시점에서의 상태가 2 상태분만큼 어긋나 있다.

여기서, 전송한 실시예의 동작을 도시한 도 12의 (a), 도 12의 (b)에 주목한다. 동 도면으로부터 알 수 있는 바와 같이, 상태 1 및 상태 4에서는, 출력 단자(1) 및 출력 단자(4)로부터 출력이 얻어지며, 이 때 출력 단자 OUT2, OUT3은 제로 레벨에 고정되어 있다. 또한, 상태 2 및 상태 3에서는, 출력 단자(2) 및 출력 단자(3)로부터 출력이 얻어지며, 이 때 출력 단자(1) 및 출력 단자(4)는 제로 레벨에 고정되어 있다.

따라서, I 계열의 데이터가 상태 1일 때에 Q 계열의 데이터가 상태 3이면, I 계열의 데이터는 출력 단자 OUT1 및 OUT4로부터 출력되는 한편, Q 계열의 데이터는 출력 단자 OUT2 및 OUT3으로부터 출력되게 되어, 결과적으로 출력 단자 OUT1~OUT4로부터 동시에 출력을 얻을 수 있게 된다.

이러한 원리에 근거하여, 본 실시예에서는, 4개의 출력 단자 OUT1~OUT4 모두로부터 동시에 데이터가 출력되도록 하여, 4개 데이터의 병렬 처리(동시 처리)를 가능하게 함으로써, 대단히 효율높은 필터링 처리를 실현한다.

도 13의 (a), 도 13의 (b)는, 이러한 병렬 처리를 실현하기 위해 사용되는 데이터 분배기의 기본적 동작을 설명하기 위한 도면이다.

본 실시예에서는, 상술한 바와 같이 시리얼 데이터의 전송 주파수가 전송한 실시예의 경우의 2배이기 때문에, 이것에 맞춰 0형 플립플롭(지연 요소)의 수도 전송한 실시예의 경우의 2배로 되어 있다.

단, 본 실시예에 있어서의 데이터 분배기도, 전송한 실시예와 마찬가지로, 1개 계열의 데이터를, 그 데이터 전송 주파수의 4배의 주파수로 시분할적으로 분배하고, 이것에 따라서 4배 제로 보간을 실현한다는 점에 있어서는 동일하다.

도 13의 (a)에 도시된 바와 같이, 데이터 00이 플립플롭(11)에 유지되어 있는 기간에 있어서, 데이터 분배기(스위치)(20a)는 2개의 경로에 순차적으로 데이터를 분배한다. 이 결과, 출력 단자 OUT1 및 OUT2로부터, 순차적으로 승산 출력($h1 \cdot D0$ 과 $h2 \cdot D0$)을 얻을 수 있다.

다음에, 데이터 00은 플립플롭(12)에 전송된다. 데이터 00이 플립플롭(12)에 유지되어 있는 기간 동안에, 데이터 분배기(20b)는 데이터 00을 2개의 경로에 순차적으로 분배한다. 이 결과, 출력 단자 OUT3 및 OUT4로부터, 순차적으로 승산 출력($h3 \cdot D0$ 과 $h4 \cdot D0$)을 얻을 수 있다. 이렇게 하여, 데이터 00은 출력 단자 OUT1~OUT4에 시분할적으로 분배된다.

본 실시예에서는, 도 13의 (b)에 도시하는 바와 같이 쉬프트 레지스터를 좌우 대칭으로 되도록 그 중앙에서 절어, 대칭의 위치 관계에 있는 1쌍의 플립플롭(플립플롭(11, 14), 플립플롭(12, 13))의 각 유지 데이터를 병렬로 데이터 분배기(25a, 25b)에 입력한다.

데이터 분배기(25a)는, 입력되는 2개의 데이터 중 한쪽을 단자(26a), 단자(26b)에 순차적으로 분배하고, 다른쪽의 데이터를 단자(26b), 단자(26a)에 순차적으로 분배하며, 이러한 동작을 주기적으로 반복한다. 마찬가지로, 데이터 분배기(25b)는, 입력되는 2개의 데이터 중 한쪽을 단자(27a), 단자(27b)에 순차적으로 분배하고, 다른쪽의 데이터를 단자(27b), 단자(27a)에 순차적으로 분배하며, 이러한 동작을 주기적으로 반복한다.

도 13의 (b)에서는, 플립플롭(11)에 데이터 00이 유지되고, 플립플롭(12)에는 데이터 10이 유지되며, 플립플롭(13)에는 데이터 0~7이 유지되고, 플립플롭(14)에는 데이터 1~7이 유지되어 있다. 그리고, 출력 단자 OUT1로부터는 $1 \cdot 7 \cdot h1$ 이 출력되고, 출력 단자 OUT2로부터는 $00 \cdot h2$ 가 출력되며, 출력 단자 OUT3으로부터는 $0 \cdot 7 \cdot h3$ 이 출력되고, 출력 단자 OUT4로부터는 $10 \cdot h4$ 가 출력된다.

이와 같이, 본 실시예에서는, 2 계통의 데이터를 1 계통의 처리 회로를 이용하여 동시에 처리할 수 있으며, 또한 그 처리 속도(쉬프트 레지스터의 동작 속도)는, 도 11에 도시한 본 발명에 관한 데이터 분배 회로를 이용하여 1 계통의 데이터를 처리할 때의 속도와 동일하다. 도 5에 도시된 종래예와 비교하면, 쉬프트 레지스터의 동작 주파수는 1/2로 된다.

또한, 본 실시예에 따르면, 2 계통의 데이터 각각을 2개의 디지털 필터에 의해 각기 따로따로 처리하는 경우에 비해서, 쉬프트 레지스터의 수, 디지털 필터 계수의 수, 승산기의 수, 가산기의 수가 각각, 1/4(보간율을 x 라고 할 경우 $1/x$)로 된다. 따라서, 대폭적인 회로의 간소화와 저소비 전력화를 도모하는 것이 가능해진다.

이상과, 실시예에 3에 관한 디지털 필터의 특징이다. 이하, 도 14~도 18을 이용하여 본 실시예의 디지털 필터 회로의 구체적 구성과 동작에 대하여 설명한다.

도 14의 디지털 필터는, 32 탭 구성의 4배 제로 보간 필터로서, 1 계열의 데이터 $D(1)$ 와 Q 계열의 데이터 $D(Q)$ 를 다중화하여 1 계열의 데이터로 하는 패러럴·시리얼 변환기(6005)와, 0형 플립플롭(지연 요소)(6101~6116)으로 이루어지는 쉬프트 레지스터(지연기)(6100)와, 16개의 데이터 선택기(6201~6216)를 구비하는 데이터 분배기(6200)와, 디지털 필터 계수 $h1 \sim h16$ 을 저장하는 디지털 필터 계수 저장 회로(6301~6316)와, 승산기(6401~6416)와, 가산기(6501~6514)와, 2 계통의 데이터를 각각 분리하는 데이터 분리 회로(6600)와, 타이밍 조정 회로(6700)를 갖는다.

이하, 회로 동작의 개요를 설명한다.

4.096Mhz의 클럭 CLK1에 동기한 2 계통의 시리얼 데이터($D(1)$, $D(Q)$)는, 패러럴 시리얼 변환 회로(6005)에 입력되어 다중화된 후, 1 계통의 시리얼 데이터로 된다.

이 다중화된 시리얼 데이터는 쉬프트 레지스터(6100)에 입력된다.

도시되어 있는 바와 같이, 쉬프트 레지스터(6100)는, 0형 플립플롭(6108)과 0형 플립플롭(6109)의 접속점을 중심으로 하여 좌우 대칭 구조를 이루고 있다. 그리고, 대칭의 위치 관계에 있는 1쌍의 플립플롭(지연 요소)의 유지 데이터는 각각, 1조의 데이터 선택기(6201와 6202, 6203와 6204, ..., 6215와 6216)의 A 입력 단자와 B 입력 단자에 입력된다.

도 14에서는, 이들의 1조의 데이터 선택기에 참조 부호(25a~25h)가 부여되어 있다. 또, 데이터 선택기(6201~6216)는, 도 13의 (b)의 데이터 분배기(스위치)(25a, 25b)에 상당하는 것이다. 데이터 분배의 구체적 동작은 후술하기로 한다.

승산기(6301~6316)는, 데이터 선택기(6201~6216) 각각의 Y 출력 단자로부터 출력되는 데이터에 디지털 필터 계수 $h1 \sim h16$ 을 승산한다.

가산기군(6501~6514)은, 2 계통의 데이터($D(1)$, $D(Q)$)의 독립성(1 데이터와 Q 데이터의 직교성)을 유지한 상태로, 각 계통의 데이터마다 데이터를 가산한다.

즉, 도 13의 (b)에 도시되어 있는 바와 같이, 하나의 데이터 분배기의 4개의 출력 단자 OUT1~OUT4에 있어서, 출력 단자 OUT1과 OUT4로부터 한쪽 계열의 데이터(예를 들면 $D(1)$)가 출력되고 있을 때에는, 출력

단자 OUT2와 OUT3으로부터 다른쪽 계열의 데이터(예를 들면, 0(Q))가 출력되고, 이러한 동작이 주기적으로 반복된다. 따라서, 출력 단자 OUT1 및 OUT4로부터 얻어지는 데이터끼리를 가산하고, 출력 단자 OUT2 및 OUT3으로부터 얻어지는 데이터끼리를 가산하면, 2 계열의 데이터가 서로 섞이게 되는 일은 없다.

이러한 관점에서 보아, 도 14의 디지털 필터 회로에서는, 16개의 승산기(6401~6416)를 4개마다 구별하여, 1조의 4개 승산기가 상술한 출력 단자 OUT1~OUT4에 상당하는 것으로 간주하고, 상술한 형식에 의한 데이터 가산이 실행되도록, 승산기군(6301~6316)과 가산기군(6501~6514)의 접속, 가산기군끼리의 접속을 결정하고 있다.

가산기(6513, 6514)로부터 출력되는 데이터는, 데이터 분리 회로(6600)에 입력된다. 이 데이터 분리 회로(6600)는, 병렬로 동작하는 2개의 데이터 선택기(6611, 6612)로 이루어진다.

각 데이터 선택기는 2 입력의 데이터 선택기로서, 클럭 CLK3(4.096Mhz)의 에지에 동기하여, 입력단 A의 데이터와 입력단 B의 데이터 중 어느 것을 선택할 것인가를 교대로 전환한다. 이에 따라, 데이터 선택기(6611)로부터는 Q 계열의 데이터(D(Q))가 얻어지고, 데이터 선택기(6612)로부터는 I 계열의 데이터(D(I))가 얻어진다.

I 계열의 데이터(D(I))는 타이밍 조정 회로(6700)에 입력된다. 이 타이밍 조정 회로(6700)는, 2개의 D형 플립플롭(6711, 6712)으로 이루어진다. 도 17의 (a)~도 17의 (c)에서 알 수 있는 바와 같이, I 계열의 데이터(D(I))는 Q 계열의 데이터(D(Q))보다 위상이 앞서 있어 빨리 출력되기 때문에, I 계열의 데이터를 지연시킴에 따라 쌍방의 데이터 출력 타이밍이 동일하게 된다. Q 계열의 데이터는 출력 단자(6801)로부터 출력되고, I 계열의 데이터는 출력 단자(6802)로부터 출력된다.

다음에, 데이터 분배기(6200)에 있어서의 데이터 분배의 구체적 동작에 대하여 설명한다.

도 15는 도 14의 디지털 필터 회로의 일부 구성을 추출하여 나타내는 회로도이다.

또한, 도 16의 (a)~도 16의 (d)는 각각, 도 15에 도시된 회로에 있어서의, 4개 상태 각각에 대응한 데이터 경로를 도시한 도면이다. 도면중, 데이터의 경로는 굵은 화살표로 표시되어 있다.

또, 4개의 데이터 선택기(6201~6204)는, 클럭 CLK2의 에지에 동기하여, 입력단 A와 입력단 B 중 어느 쪽의 데이터를 선택할 것인가를 교대로 전환한다.

도 16의 (a) 및 도 16의 (b)에서는, 플립플롭(6101)에는 데이터 10이 유지되고, 플립플롭(6102)에는 데이터 Q-1이 유지되며, 플립플롭(6115)에는 데이터 1-7이 유지되고, 플립플롭(6116)에는 데이터 Q-8이 유지되어 있다.

도 16의 (a)의 회로에서, 데이터 10, 1-7은 각각 선택기(6201)와 선택기(6204)로부터 출력되고, 데이터 Q-1, Q-8은 각각 선택기(6202)와 선택기(6203)로부터 출력되고 있다.

도 16의 (b)의 회로에서, 데이터 10, 1-7은 각각 선택기(6202)와 선택기(6203)로부터 출력되고, 데이터 Q-1, Q-8은 각각 선택기(6204)와 선택기(6201)로부터 출력되고 있다.

도 16의 (c) 및 도 16의 (d)에서는, 쉬프트 레지스터의 유지 데이터가 1 비트 우측으로 쉬프트하여, 그 결과 플립플롭(6101)에는 데이터 Q0이 유지되고, 플립플롭(6102)에는 데이터 10이 유지되며, 플립플롭(6115)에는 데이터 Q-7이 유지되고, 플립플롭(6116)에는 데이터 1-7이 유지되어 있다.

그리고, 도 16의 (c)의 회로에서, 데이터 Q0, Q-7은 각각 선택기(6201)와 선택기(6204)로부터 출력되고, 데이터 10, 1-7은 각각 선택기(6203)와 선택기(6202)로부터 출력되고 있다.

도 16의 (d)의 회로에서, 데이터 Q0과 Q-7은 각각 선택기(6202)와 선택기(6203)로부터 출력되고, 데이터 10, 1-7은 각각 선택기(6204)와 선택기(6201)로부터 출력되고 있다.

도 16의 (a)~도 16의 (d)에 도시하는 일련의 동작에 의해서, 데이터 10은 선택기(6201)로부터 선택기(6204)의 방향으로 시분할적으로 분배되고, 데이터 1-7은 선택기(6204)로부터 선택기(6201)의 방향으로 시분할적으로 분배된다. 또한, 데이터 Q-1은 선택기(6203)와 선택기(6204)를 거쳐 출력된다. 또한, 데이터 1-7은 선택기(6202)와 선택기(6201)를 거쳐 출력된다. 이에 따라, 4개 데이터의 병렬 처리(동시 분배 처리)가 실현된다.

도 14의 디지털 필터 회로에 있어서의, 플립플롭(6101)(쉬프트 레지스터의 초단(初段)의 플립플롭)의 출력 데이터와, 선택기(6201~6204)의 각각의 출력 데이터의 시간 변화를 도 17의 (a)~도 17의 (c)에 나타낸다.

도 17의 (a)에서 명백한 바와 같이, 4개의 선택기(6101~6204)로부터 항상 데이터가 출력되고 있다.

도 17의 (b)에는 I 계열 데이터의 시간 변화가 표시되고, 도 17의 (c)에는 Q 계열 데이터의 시간 변화가 표시되어 있다. I 계열 데이터와 Q 계열의 데이터에 있어서는, 전송(分배)의 위상이 어긋나 있어, I 계열의 데이터가 상태 1, 상태 2, 상태 3, 상태 4로 천이할 때, Q 계열의 데이터는 상태 3, 상태 4, 상태 1, 상태 2로 천이하는데, 이 위상의 어긋남을 이용함으로써, 도 17의 (a)에 도시하는 바와 같은, 4개 데이터의 동시 처리가 가능해진다.

도 18은 도 15의 회로에 있어서의 4개 출력 단자 OUT1~OUT4로부터 병렬로 출력되는 데이터 조합의 일례를 도시한 도면이다. I 계열의 데이터가 상태 1, 상태 2, 상태 3, 상태 4로 천이할 때, Q 계열의 데이터는 상태 3, 상태 4, 상태 1, 상태 2로 천이하여, 2개의 상태가 항상 병존한다. 이 결과, 한 쌍의 I 데이터와 한 쌍의 Q 데이터에 소정의 디지털 필터 계수를 승산하는 처리를 병렬로 실행하는 것이 가능해진다.

도 14의 디지털 필터 회로에서는, 2 계층의 데이터를 1 계층의 신호 처리 회로로 동시에 처리하고, 또한 쉬프트 레지스터의 좌우 대칭 형상의 구성을 채용하기 때문에, 쉬프트 레지스터의 단수, 사용하는 디지털 필터 계수의 수, 승산기 및 가산기의 수를, 종래 회로를 2개 병렬로 동작시키는 경우에 비해서 1/4(데이터의 보간율을 x 로 한 경우, $1/x$)로 할 수 있다.

또한, 쉬프트 레지스터의 동작 주파수를 종래의 1/2(데이터 보간율을 x 로 한 경우, $2/x$)로 할 수 있다. 따라서, 회로의 대폭적인 간소화와 저소비 전력화가 가능해진다. 이 디지털 필터를 IC화한 경우에는, 칩에 있어서의 점유 면적의 대폭적인 삭감과 더불어 IC의 저소비 전력화를 도모할 수 있다.

(실시예 4)

도 19는, 실시예 4에 관한 디지털 필터의 구성을 나타내는 블록도이다. 본 실시예의 회로는 도 14에 나타내는 회로와 거의 동일한 구성으로 되어 있다.

단, 도 14에서는, 1 계층의 출력 데이터는 항상 타이밍 조정 회로(6700)를 경유함으로써 일정한 지연이 인가되게 되고, 이에 따라 I, Q 각 계층의 데이터는 동시에 출력되도록 되어 있었던 데 반하여, 본 실시예에서는 타이밍 조정 회로(6700)를 경유할 것인지 여부를 임의로 선택할 수 있도록 하고 있다.

즉, 도 19의 회로에서는, 1 계층 데이터의 최종 출력단에 데이터 선택기(6901)를 마련하고, 이 데이터 선택기(6901)의 출력 모드를, 제어 단자(6702)로부터 공급하는 제어 신호(CN)에 의해 제어하는 구성으로 되어 있다.

즉, 데이터 선택기(6901)의 2개의 입력단 A, B에는 각각, 타이밍 조정 회로(6700)를 경유하지 않은 1 계층의 데이터와, 타이밍 조정 회로(6700)를 경유한 1 계층의 데이터가 입력되어, 예를 들면 제어 신호 CN이 하이 레벨(H)일 때에는 A 단자의 입력이 선택되고, 로우 레벨(L)일 때에는 B 단자의 입력이 선택된다.

데이터 선택기(6901)의 A 단자의 입력이 선택되는 모드일 경우, 1 계층의 데이터는 타이밍 조정 회로(6700)에 의해 지연되는 일 없이 출력되기 때문에, Q 계층의 데이터보다 반(half) 타임 슬롯만큼 위상이 앞서게 된다.

이 경우, I, Q 각 계층(각 채널)의 데이터의 1조가, QPSK(Quadrature Phase Shift Keying) 변조를 이용하여 상대측에 전송되는 1 심볼분의 데이터인 것으로 하면, 1 계층(I 채널)의 데이터가 반(half) 슬롯만큼 쉬프트된 것에 의해, OQPSK(Offset Quadrature Phase Shift Keying)가 실현된 것으로 된다.

따라서, 데이터 선택기(6901)의 모드를 전환하는 제어 신호 CN은 QPSK/OQPSK의 전환 신호로서 기능한다.

이상 설명한 바와 같이, 본 실시예에서는, 2 계층의 데이터의 동시 처리를 실행하고, 또한 각 계층의 데이터 위상을 어긋나게 할 수 있는 디지털 필터 회로가 실현된다.

이에 따라, 데이터 변조 방식으로서 QPSK를 이용할 것인지, 혹은 OQPSK를 이용할 것인지 여부도 용이하게 선택할 수 있다.

(실시예 5)

도 20은 실시예 5에 관한 디지털 필터 회로의 구성을 나타내는 블록도이다.

본 실시예의 회로의 기본적 구성은, 도 14의 회로와 동일하다. 단, 도 14의 회로에서는, I, Q 각 계층의 데이터에 대하여 디지털 필터 계수(승산 계수)를 공통으로 사용하고 있는 데 반하여, 본 실시예에서는 각 계층의 데이터에 대응시켜 2 종류의 디지털 필터 계수를 준비하고 있어, 이 점에서 서로 다르다.

본 실시예에서는, 각 계층의 데이터마다 디지털 필터링 계수를 독립적으로 준비할 수 있기 때문에, 회로 설계의 자유도가 향상된다고 하는 효과를 얻을 수 있다.

도 20에 있어서, 계수 축적부(8300)는, 1 계층의 데이터에 승산되는 16개의 계수 $hi1 \sim hi16$ 및 Q 계층의 데이터에 승산되는 16개의 계수 $hq1 \sim hq16$ 를 저장하고 있는 계수 저장부(8301~8316)와, 16개의 계수 선택기(8321~8336)를 구비하고 있다.

계수 선택기(8301~8316)의 각각은, 데이터 분배기로부터 1 계층의 데이터가 출력되고 있을 때에는 1 계층 데이터용 계수($hi1 \sim hi16$)를 선택하고, Q 계층의 데이터가 출력되고 있을 때에는 Q 계층 데이터용 계수($hq1 \sim hq16$)를 선택한다. 이하, 구체적으로 설명한다.

도 18에 도시한 회로에 있어서, 데이터 분배기의 4개의 출력 단자 OUT1~OUT4 중, 예를 들면 OUT1에 주목한다. 1 계층의 데이터를 D(I)로 하고, Q 계층의 데이터를 D(Q)로 하면, 출력 단자 OUT1로부터는 시간의 경과와 더불어, D(I), D(Q), D(Q), D(I)가 순차적으로 출력된다.

도 20의 회로에 있어서, 출력 단자 OUT1에 상당하는 것은, 데이터 분배기를 구성하는 선택기(6201)의 출력 단자이다. 따라서, 계수 선택기(8321)는, 입력단 A의 계수, 입력단 B의 계수, 입력단 B의 계수, 입력단 A의 계수의 순서로 계수를 선택할 필요가 있다.

마찬가지로, 도 18의 출력 단자 OUT2에 대해서, 그 출력 데이터는 시간의 경과와 더불어, D(Q), D(I), D(I), D(Q)의 순서로 변화한다. 도 20의 회로에 있어서, 출력 단자 OUT2에 상당하는 것은 데이터 분배기를 구성하는 데이터 선택기(6202)의 출력 단자이다. 이에 따라, 계수 선택기(8322)는, 입력단 A의 계수, 입력단 B의 계수, 입력단 B의 계수, 입력단 A의 계수를 순서대로 선택할 필요가 있다. 즉, 계수 선택기(8322)가 선택하는 입력단의 순서는 계수 선택기(8321)의 경우와 동일하다.

도 20의 회로에 있어서의 다른 계수 선택기(6203~6216)도 마찬가지로, 입력단 A의 계수, 입력단 B의 계수, 입력단 B의 계수, 입력단 A의 계수를 순서대로 선택하고, 이러한 선택 동작을 주기적으로 반복한다.

다.

계수 선택기(8321~8336)에 있어서의, 상술한 바와 같은 계수의 선택(계수의 전환)은, 단자(8320)로부터 공급되는 전환 클럭 FK의 에지에 동기하여 실행된다.

이와 같이, 본 실시예의 회로에서는, 각 계열의 데이터마다 2 종류의 디지털 필터링 계수를 전환하여 사용하기 때문에, 필터링 처리의 자유도가 향상된다.

또한, 디지털 필터 계수(hi1~hi16, hq1~hq16)를 유지하는 계수 유지 회로(8301~8316)를 랜덤 액세스 메모리(RAM)로 구성하여, 적절히 계수를 갱신하는 것도 가능하다. 이 경우에는, 디지털 필터의, 각 계열의 데이터에 대한 이득을 개별적으로 변화시킬 수 있다. 이 점에 대해서는, 도 24를 이용하여 후술하기로 한다.

(실시예 6)

도 21은 실시예 6에 관한 디지털 필터 회로의 블록도이다.

도 21의 회로의 기본적 구성은 도 14의 회로와 동일하다.

단, 본 실시예의 회로에서는, 클럭 주파수 전환기(9003)를 마련하여, 쉬프트 레지스터 등의 동작 속도를 적절히 변화시킬 수 있도록 되어 있다. 이에 따라, 디지털 필터의 동작 속도를, 주변 회로의 동작 속도와 맞추거나, 반대로 주변 회로의 동작과는 독립적으로, 자유롭게 디지털 필터 회로의 내부 처리 속도를 설정하거나 하는 것이 용이하게 된다.

클럭 주파수 전환기(9003)는, 주파수가 상이한 복수의 클럭 CLK1~CLK3 중에서 하나를 선택하는 클럭 선택기(9008)와, 2개의 1/2 분주파기(9009, 9010)를 구비한다. 클럭 선택기(9008)는, 제어 단자(9007)에 입력되는 제어 신호 CP의 레벨에 따라서, 클럭 CLK1~CLK3 중 어느 하나를 선택한다. 따라서, 제어 신호 CP의 레벨을 적절히 설정함으로써, 디지털 필터를 소망하는 주파수로 동작시키는 것이 가능해진다.

또, 도 21에 있어서, 타이밍 조정 회로(6700)의 동작 클럭은, 독립된 단자(9701)로부터 공급되도록 되어 있다. 따라서, 단자(9701)로부터 공급하는 클럭의 주파수나 위상을 선택함으로써, 데이터의 출력 타이밍을, 디지털 필터의 내부에 있어서의 처리 속도와는 독립적으로 조정할 수 있다.

즉, 타이밍 조정 회로(6700)는, 다른 회로에 데이터를 송신하는 타이밍을 조정하는 출력 인터페이스 회로로서도 기능한다. 따라서, QPSK 변조 데이터를 다른 회로에 송신하는 경우의 타이밍을 미세 조정하는 것도 가능해진다.

(실시예 7)

도 22에, 전술한 실시예 3에서 설명한 디지털 필터(도 14)를 이용한 송신기 구성의 개요를 나타낸다.

도 22의 송신기는, 예를 들면 변조 방식으로서 QPSK(혹은 OQPSK)를 이용한 이동 통신용 송신기이다. 이 송신기에 있어서, 디지털 필터는, D/A 변환전의 송신 데이터의 대역을 제한하기 위해 사용된다.

도 22에 도시된 송신기는, 대역 제한 필터(디지털 필터)(500)와, D/A 변환기(506, 507)와, 포스트 필터(508, 509)와, 직교 변조기(510)와, 송신 앰프(520)와, 안테나(521)를 갖는다.

직교 변조기(510)는, 코사인파 발생 회로(511)와, 코사인파에 90°의 위상 지연을 부가하는 지연기(512)와, 승산기(513, 514)와, 신호 합성기(515)를 구비한다. 상술한 바와 같이, 대역 제한 필터(디지털 필터)(500)는, 전술한 실시예 3에서 설명한, 도 14에 도시된 필터이다.

대역 제한 필터(501, 502)에는 각각, QPSK 변조 데이터의 동상 성분 데이터(D(I)) 및 직교 성분 데이터(D(Q))가 입력된다. 또한, 클럭 CLK1(4.096Mhz), CLK2(8.192Mhz), 클럭 CLK4(16.384Mhz)가 각각, 단자(503~505)로부터 공급된다.

디지털 필터(500)를 통과한 I, Q 각 채널의 송신 데이터는 각각, D/A 변환기(506, 507)에 의해 아날로그 신호로 변환되어, 포스트 필터(508, 509)를 경유해 직교 변조기(510)에 입력된다.

직교 변조기(510)에서는, I, Q 각 채널의 데이터에 각각 사인파 및 코사인파가 승산되어, 각 채널의 신호를 합성함으로써 QPSK 변조된 송신 신호를 얻을 수 있다. 이 송신 신호는, 최종단의 앰프(520)에 의해 증폭된 후, 안테나(521)를 거쳐 상대방으로 송신된다.

전술한 바와 같이, 디지털 필터(500)는, 2 계통의 데이터를 1 계통의 신호 처리 회로로 동시에 처리할 수 있고, 또한 쉬프트 레지스터의 좌우 대칭 형상의 구성을 채용하고 있다. 이 결과, 쉬프트 레지스터의 단수, 사용하는 디지털 필터 계수의 수, 승산기 및 가산기의 수를, 종래 회로를 2개 병렬로 동작시키는 경우에 비해서 1/4(데이터의 보간율을 x로 한 경우, 1/x)로 할 수 있으며, 또한 쉬프트 레지스터의 동작 주파수도 종래의 1/2(데이터 보간율을 x로 한 경우에는 2/x)로 할 수 있다.

따라서, 회로의 대폭적인 간소화와 저소비 전력화가 실현되며, 이 효과는 그대로, 송신기의 소형화, 저소비 전력화로 직결된다. 따라서, 경량이고, 소형이면서, 수명이 긴 이동 통신용 통신 장치를 얻을 수 있다.

(실시예 8)

도 23의 송신기에 있어서, 대역 제한 필터(600)는, 전술한 실시예 4에서 설명한, 도 19에 도시하는 디지털 필터를 이용하여 구성되어 있다. 다른 부분의 구성은, 실시예 7의 송신기와 동일하다.

본 실시예의 송신기에서는, 제어 단자(606)로부터 제어 신호(QPSK/OQPSK 전환 신호) CN을 입력함으로써, QPSK 변조 신호의 동상 성분 데이터(D(I))와 직교 성분 데이터(D(Q))의 출력 타이밍을 조정할 수 있

다.

즉, 디지털 필터 회로(600) 자체에, I, Q 각 채널의 데이터에 위상차를 부가할 것인지 여부를 선택하는 기능이 부여되어 있다. 따라서, 변조 방식으로서 QPSK 변조 또는 OQPSK 변조 중 어느 쪽을 사용할 것인지를 자유롭게 선택할 수 있다.

이에 따라, 통신 기기의 소형화, 저소비 전력화에 부가하여, 고(高)기능화도 달성된다.

(실시예 9)

도 24는 실시예 9에 관한 송신기의 블록도이다.

본 실시예의 송신기에서는, 전술한 실시예 5에서 설명한, 도 20에 기재된 디지털 필터를 사용함과 동시에, 송신중에 I, Q 각 채널의 디지털 필터 계수를 실시간으로 갱신하는 구성을 채용한다. 이에 따라, I, Q 각 채널의 송신 신호의 송신 이득 오차를 저감시킬 수 있다.

앞서 설명한 바와 같이, 도 20에 기재된 디지털 필터는, I, Q 각 채널의 데이터마다 디지털 필터 계수(hi1~hi16, hq1~hq16)를 설정할 수 있다.

본 실시예에서는, 각 채널의 디지털 필터 계수(hi1~hi16, hq1~hq16)를 RAM(706)에 유지시켜 두고, 그 유지되어 있는 각 계수를 기입 회로(724)를 이용하여 수시로 리라이트하도록 한다.

즉, 이득 오차 검출기(722)는, I, Q 각 채널의 송신 신호의 이득(진폭)차를 검출하여, 그 차분에 대응한 신호(이득 오차 신호)를 출력한다. 계수 산출 회로(723)는, 이득 오차 신호를 수신하여, 그 이득 오차를 축소시키기 위해 필요한 디지털 필터 계수의 값을 산출한 다음, 그 기입 회로(724)에 전송한다.

기입 회로(724)는, 산출된 값의 디지털 필터 계수를, 디지털 필터 회로(700)의 내부에 마련된 RAM(706)에 기입하여, 디지털 필터 계수를 갱신한다.

이에 따라, 디지털 필터 회로(700)의, I, Q 각 채널의 데이터를 처리하는 경로의 이득이 변화하여, 각 채널의 송신 신호의 이득 오차 보정이 이루어진다.

이와 같이, 도 24의 송신기에서는, 디지털 필터(700)와, D/A 변환기(506, 507)와, 포스트 필터(508, 509)와, 직교 변조기(510)와, 이득 오차 검출기(722)와, 계수 산출 회로(723)와, 기입 회로(724)로 구성되는 부(負) 귀환 루프가 형성되고, 디지털 필터 회로(700)는, 이 부 귀환 경로의 루프 이득을 조정하는 기능을 수행한다.

종래와 같이, I, Q 각 채널마다 디지털 필터 회로를 마련하는 구성에 있어서는, 각 디지털 필터의 특성 자체에 상이한 점이 있고, 또한 회로 구성의 복잡화를 초래하기 때문에, 이러한 부 귀환 제어를 실행하는 것은 곤란하다.

즉, 본 실시예에서 사용하는 디지털 필터(700)는, 2 채널의 데이터를 다중화하여 동시에 처리할 수 있고, 또한 각 채널의 데이터마다 디지털 필터 계수를 설정할 수 있기 때문에, I, Q 각 채널의 송신 데이터에 대하여 송신 이득을 동등하게 하는 것과 같은 부 귀환 제어를 용이하게 실행할 수 있는 것이다.

이에 따라, 통신 기기의 소형화, 저소비 전력화에 부가하여, 통신 품질의 향상도 달성된다.

(실시예 10)

도 25는 실시예 10에 관한 송신기의 블록도이다.

도 25의 송신기에서는, 주파수가 상이한 복수의 클럭을 생성하기 위해서, 1/2 분주기(805, 806)가 마련되어 있다. 클럭 입력 단자(804)에는, 32.768MHz의 기준 클럭 CKA가 입력되고, 1/2 분주기(805, 806)는 이 기준 클럭 CKA를 분주하여 소정 주파수의 클럭을 생성해 디지털 필터 회로(800)로 공급한다.

디지털 필터 회로(800)는, 사용하는 클럭의 주파수를 선택할 수 있는 기능을 갖는 필터(도 21에 기재된 필터)로서, 입력되는 복수의 클럭 중에서 최적의 것을 선택하여 디지털 필터링 처리를 실행한다.

본 실시예의 송신기에서는, 디지털 필터의 동작 속도를 주변 회로의 동작 속도에 맞추거나, 그 반대로 주변 회로의 동작과는 독립적으로, 자유롭게 디지털 필터 회로의 내부 처리 속도를 설정하거나 하는 것이 용이하게 된다.

발명의 효과

본 발명에 따르면, 디지털 신호를 x(x는 4 이상의 자연수)배 보간하여 처리하는 기능을 갖는, 저소비 전력형이면서 소형인 디지털 필터 및 상기 디지털 필터를 구비한 통신 장치가 제공되며, 이에 따라, 디지털 이동 통신에 사용할 수 있는, 고성능, 고속, 저소비 전력형이면서 소형인, 신규의 통신 장치가 실현된다.

이상, 본 발명에 대하여 실시예를 참조하여 설명하였는데, 본 발명은 이것에 한정되는 것이 아니라, 여러가지 변형, 응용이 가능하다. 예를 들어, 상술한 실시예에서는, 4배 보간(보간율 x=4)의 디지털 필터를 사용하고 있지만, 4n배 보간(n은 2 이상의 자연수)의 디지털 필터에도 본 발명을 적용하는 것이 가능하다.

또한, 본 발명의 디지털 필터는, 송신기의 대역 제한 필터 이외에, 예를 들면 텔레비전 화상 신호를 처리하는 필터 등에도 널리 사용할 수 있다.

또, 본 출원은, 1997년 12월 20일에 일본에 출원된 일본 특허 출원 제97-365287호 및 1998년 12월 4일에 출원된 일본 특허 출원 제98-345766호에 근거하고 있으며, 그 모든 내용은 본 명세서에 포함되어 있다.

(57) 청구의 범위

청구항 1

보간을 x (x 는 4 이상의 정수)의 x 배 보간 FIR(Finite impulse response)형 디지털 필터에 있어서,
입력 데이터를 일시적으로 유지하는 데이터 유지 회로와,
이 데이터 유지 회로에 동일한 데이터가 유지되어 있는 기간 동안에, 그 유지 데이터를 x 개의 서로 다른
신호 경로에, 시분할 방식으로 분배하는 데이터 분배기와,
상기 데이터 분배기로부터 시분할적으로 출력되는 x 개의 데이터 각각에 대하여 소정의 연산을 실시하는
연산 회로
를 포함하는 디지털 필터.

청구항 2

보간을 x (x 는 4 이상의 정수)의 x 배 보간 FIR(Finite impulse response)형 디지털 필터에 있어서,
시리얼 데이터가 입력되는 m (m 은 2 이상의 자연수)단의 지연기와,
이 지연기의 각 단으로부터 병렬로 출력되는 m 비트의 데이터 각각을 입력으로 하여, 입력된 데이터를
 x 개의 출력 단자 각각에, 상기 쉬프트 레지스터 동작 주파수의 x 배의 주파수로 시분할적으로 출력하는,
 m 개의 데이터 분배기와,
상기 데이터 분배기 각각의 상기 x 개의 출력 단자로부터 출력되는 데이터 각각에 디지털 필터 계수를 승
산하는 $(m \cdot x)$ 개의 승산기와,
이 $(m \cdot x)$ 개의 승산기로부터 시분할적으로 출력되는 데이터 중, 동일한 타이밍으로 병렬로 출력되는 m 개
의 데이터끼리를 가산하는 x 계통의 가산기
를 포함하는 디지털 필터.

청구항 3

제 2 항에 있어서,
상기 디지털 필터는, 입력되는 디지털 신호에 제로 레벨의 데이터를 내삽(內挿)하는 제로 내삽형인 디지
탈 필터.

청구항 4

디지털 필터 계수열이 우수차(偶數次)·우대칭(偶對稱)의 구성이고, 또한 보간율이 x (x 는 4 이상의 정
수)인 x 배 보간 FIR형 디지털 필터에 있어서,
시리얼 데이터가 입력되는, n (n 은 2 이상의 우수) 단의 지연 요소로 이루어지는 지연기와,
상기 n 단의 지연 요소로 이루어지는 지연기를, $n/2$ 단째의 지연 요소와 $(n+1)/2$ 단째의 지연 요소의 접
속점을 중심으로 하여 좌우 대칭으로 되도록 한 경우에, 서로 겹치는 대칭의 위치 관계에 있는 한 쌍의
지연 요소로부터 병렬로 출력되는 2개의 데이터가 입력되어, 각 입력 데이터를 상기 지연기의 동작 주파
수의 x 배의 주파수로 x 개의 출력 단자에 시분할적으로 출력하는 $(n/2)$ 개의 데이터 분배기와,
상기 우수차·우대칭의 디지털 필터 계수열 중 편측 절반의 계수를 유지하고 있는 계수 유지 회로와,
상기 데이터 분배기로부터 출력되는 데이터의 각각에, 대응하는 디지털 필터 계수를 각각 승산하는 승산
기
를 포함하는 디지털 필터.

청구항 5

디지털 필터 계수열이 우수차·우대칭의 구성이고, 또한 보간율이 x (x 는 4 이상의 정수)인 x 배 보간
FIR형 디지털 필터에 있어서,
시리얼 데이터가 입력되는, n (n 은 2 이상의 우수) 단의 지연 요소로 이루어지는 지연기와,
입력수와 출력수의 비가 2: x 인, $(n/2)$ 개의 데이터 분배기와,
상기 우수차·우대칭의 디지털 필터 계수열 중 편측 절반의 계수를 유지하고 있는 계수 유지 회로와,
상기 $(n/2)$ 개의 데이터 분배기로부터 출력되는 데이터의 각각에, 대응하는 디지털 필터 계수를 각각 승
산하는 $(n \cdot x/2)$ 개의 승산 회로와,
이 $(n \cdot x/2)$ 개의 승산기로부터 시분할적으로 출력되는 데이터 중, 동일한 타이밍에 병렬로 출력되는 n 개
의 데이터끼리를 가산하는, $(x/2)$ 계통의 가산기
를 포함하고,

상기 $(n/2)$ 개의 데이터 분배기 각각에는, 상기 n 단의 지연 요소로 이루어지는 지연기를, $n/2$ 단째의 지
연 요소와 $(n+1)/2$ 단째의 지연 요소의 접속점을 중심으로 하여 좌우 대칭이 되도록 형성한 경우에 서로
겹치는 대칭의 위치 관계에 있는 한 쌍의 지연 요소로부터 병렬로 출력되는 2개의 데이터가 입력되고,

이 데이터 분배기에 입력된 한쪽의 데이터는, 상기 쉬프트 레지스터 동작 주파수의 x 배의 주파수로, 1 번째의 출력 단자로부터 x 번째의 출력 단자를 향하여 순차적으로 시분할적으로 출력되며, 입력된 다른 쪽의 데이터는, 상기 지연기 동작 주파수의 x 배의 주파수로, x 번째의 출력 단자로부터 1 번째의 출력 단자를 향하여 순차적으로 시분할로 출력되는 디지털 필터.

청구항 6

디지털 필터 계수열이 우수차·우대칭의 구성을 갖고, 탭수가 k (k 는 우수)이면서 보간율이 x (x 는 4 이상의 정수)인 x 배 보간 FIR형 디지털 필터에 있어서,

제 1 클럭에 동기하여 병렬로 입력되는 제 1 계열의 데이터 및 제 2 계열의 데이터를, 상기 제 1 클럭의 2배 주파수인 제 2 클럭에 동기하여 교대로 다중화하는 다중화 회로와,

상기 제 2 클럭에 동기하여 동작하는 $(2 \cdot k/x)$ 단의 지연 요소로 이루어지는 지연기와,

상기 $(2 \cdot k/x)$ 단의 지연 요소로 이루어지는 지연기를, $n/2$ 단파의 지연 요소와 $(n+1)/2$ 단파의 지연 요소의 접속점을 중심으로 좌우 대칭이 되도록 형성한 경우에 서로 겹치는 대칭의 위치 관계에 있는 한 쌍의 지연 요소로부터 병렬로 출력되는 2개의 데이터를 입력으로 하여, 각 입력 데이터를, 상기 제 2 클럭의 2배의 주파수로 2개의 출력 단자에 시분할적으로 분배하는, (k/x) 개의 데이터 분배기와,

상기 우수차·우대칭의 디지털 필터 계수열 중 편측 절반의 계수만을 유지하고 있는 계수 유지 회로와,

상기 데이터 분배기의 상기 출력 단자로부터 출력되는 데이터의 각각에, 대응하는 디지털 필터 계수를 각각 승산하는 $(2 \cdot k/x)$ 개의 승산기와,

승산기의 각각으로부터 출력되는 데이터에 대하여, 상기 제 1 계열의 데이터 및 상기 제 2 계열의 데이터의 각각의 독립성이 유지되도록 가산 연산을 실행하는 복수의 가산기

를 포함하는 디지털 필터.

청구항 7

제 6 항에 있어서,

상기 데이터 분배기의 각각은, 제 1 출력 단자 및 제 2 출력 단자를 가지며, 한쪽의 입력 데이터를 상기 제 1 출력 단자에 출력하는 경우에는 다른쪽의 입력 데이터를 제 2 출력 단자에 출력하고, 또한 상기 한쪽의 입력 데이터를 제 2 출력 단자에 출력하는 경우에는 상기 다른쪽의 입력 데이터를 제 1 출력 단자에 출력하며, 이러한 시분할 출력을 반복하는 디지털 필터.

청구항 8

제 6 항에 있어서,

상기 제 1 계열의 데이터 및 제 2 계열의 데이터는, 위상 평면상에서 직교 관계가 성립하는 데이터이고, 상기 복수의 가산기는, 상기 각 계열의 데이터 직교 관계가 유지되도록, 상기 승산기의 각각으로부터 출력되는 데이터의 가산을 실행하는 디지털 필터.

청구항 9

제 8 항에 있어서,

상기 제 1 계열의 데이터 및 제 2 계열의 데이터는 각각, QPSK(Quadrature Phase shift keying) 변조 신호의 직교 성분 데이터와 동상 성분 데이터인 디지털 필터.

청구항 10

제 6 항에 있어서,

상기 제 1 계열의 데이터에 대한 제 1 디지털 필터 출력 신호와 상기 제 2 계열의 데이터에 대한 제 2 디지털 필터 출력 신호를 분리하는 분리 회로와,

이 분리 회로에 의해 분리된 상기 제 1 디지털 필터 출력 신호 또는 상기 제 2 디지털 필터 출력 신호의 위상을 조정하여, 이에 따라 제 1 및 제 2 디지털 필터 출력 신호의 동기를 취하는 위상 조정 회로

를 더 포함하는 디지털 필터.

청구항 11

제 10 항에 있어서,

상기 위상 조정 회로를 경유하여 위상이 조정된 제 1 또는 제 2 디지털 필터 출력 신호와, 위상 조정 회로를 경유하지 않은 제 1 또는 제 2 디지털 필터 출력 신호 중 어느 하나를 선택적으로 출력하는 선택기를 더 포함하는 디지털 필터.

청구항 12

제 11 항에 있어서,

상기 제 1 및 제 2 디지털 필터 출력 신호는 각각, QPSK(Quadrature Phase shift keying) 변조 신호의 직교 성분과 동상 성분에 대해 디지털 필터링을 실시하여 얻어지는 신호이고, 상기 선택기에 의해 상기 위상 조정 회로를 경유하지 않은 상기 제 1 또는 제 2 디지털 필터 출력을 선택하여, OQPSK(Offset

Quadrature Phase Shift Keying) 변조 신호를 상기 FIR형 디지털 필터로부터 출력시키는 디지털 필터.

청구항 13

디지털 필터 계수열이 우수차·우대칭의 구성을 갖고, 탭수가 k (k 는 우수)이면서, 보간율이 x (x 는 4 이상의 정수)인 x 배 보간 FIR형 디지털 필터에 있어서,

제 1 클럭에 동기하여 병렬로 입력되는 제 1 계열의 데이터 및 제 2 계열의 데이터를, 상기 제 1 클럭의 2배 주파수인 제 2 클럭에 동기하여 교대로 다중화하는 다중화 회로와,

상기 제 2 클럭에 동기하여 동작하는 $(2 \cdot k/x)$ 단의 지연 요소로 이루어지는 지연기와,

상기 $(2 \cdot k/x)$ 단의 지연기를, 1/2단짜의 지연 요소와 $(n+1)/2$ 단짜의 지연 요소의 접속점을 중심으로 좌우 대칭 형상을 이루도록 한 경우에 서로 겹치는 대칭의 위치 관계에 있는 한 쌍의 지연 요소로부터 병렬로 출력되는 2개의 데이터를 입력으로 하여, 각 입력 데이터를, 상기 제 2 클럭의 2배의 주파수로 2개의 출력 단자에 시분할적으로 분배하는, (k/x) 개의 데이터 분배기와,

상기 제 1 계열 데이터의 처리에 이용되는 디지털 필터 계수열로서, 상기 우수차·우대칭의 디지털 필터 계수열 중 편측 절반의 계수를 유지하고 있는 제 1 계수 유지 회로와,

상기 제 2 계열 데이터의 처리에 이용되는 디지털 필터 계수열로서, 상기 우수차·우대칭의 디지털 필터 계수열 중 편측 절반의 계수를 유지하고 있는 제 2 계수 유지 회로와,

상기 제 1 계수 유지 회로가 유지하고 있는 디지털 필터 계수 및 상기 제 2 계수 유지 회로가 유지하고 있는 디지털 필터 계수 중 어느 한쪽을, 상기 제 2 클럭의 2배 주파수의 클럭에 동기하여 선택적으로 출력하는 디지털 필터 계수 선택 회로와,

상기 데이터 분배기의 상기 출력 단자로부터 출력되는 데이터의 각각에, 디지털 필터 계수를 승산하는 $(2 \cdot k/x)$ 개의 승산기와,

승산기의 각각으로부터 출력되는 데이터에 대하여, 상기 제 1 계열의 데이터 및 상기 제 2 계열의 데이터 각각의 독립성이 유지되도록 가산 연산을 실행하는 복수의 가산기

를 포함하는 디지털 필터.

청구항 14

제 13 항에 있어서,

상기 제 1 계수 유지 회로 및 제 2 계수 유지 회로가 유지하는 상기 디지털 필터 계수는 리라이트가 가능한 디지털 필터.

청구항 15

제 14 항에 있어서,

입력 조건에 대응한 디지털 필터 계수를 산출하는 계수 산출 회로와,

이 계수 산출 회로에 의해 산출된 디지털 필터 계수를 상기 제 1 및 제 2 계수 유지 회로에 기입하는 계수 기입 회로

를 더 포함하는 디지털 필터.

청구항 16

디지털 필터 계수열이 우수차·우대칭의 구성을 갖고, 탭수가 k (k 는 우수)이면서, 보간율이 x (x 는 4 이상의 정수)인 x 배 보간 FIR형 디지털 필터에 있어서,

제 1 클럭에 동기하여 병렬로 입력되는 제 1 계열의 데이터 및 제 2 계열의 데이터를, 상기 제 1 클럭의 2배 주파수인 제 2 클럭에 동기하여 교대로 다중화하는 다중화 회로와,

상기 제 2 클럭에 동기하여 동작하는 $(2 \cdot k/x)$ 단의 지연기와,

상기 $(2 \cdot k/x)$ 단의 지연기를, 1/2단짜의 지연 요소와 $(n+1)/2$ 단짜의 지연 요소의 접속점을 중심으로 좌우 대칭이 되도록 형성한 경우에 서로 겹치는 대칭의 위치 관계에 있는 한 쌍의 지연 요소로부터 병렬로 출력되는 2개의 데이터를 입력으로 하여, 각 입력 데이터를, 상기 제 2 클럭의 2배의 주파수로 2개의 출력 단자에 시분할적으로 분배하는, (k/x) 개의 데이터 분배기와,

상기 우수차·우대칭의 디지털 필터 계수열 중 편측 절반의 계수를 유지하고 있는 계수 유지 회로와,

상기 데이터 분배기의 상기 출력 단자로부터 출력되는 데이터의 각각에, 대응하는 디지털 필터 계수를 각각 승산하는 $(2 \cdot k/x)$ 개의 승산기와,

승산기의 각각으로부터 출력되는 데이터에 대하여, 상기 제 1 계열의 데이터 및 상기 제 2 계열의 데이터 각각의 독립성이 유지되도록 가산 연산을 실행하는 복수의 가산기와,

상기 제 1 클럭 또는 상기 제 2 클럭을 발생시키는 클럭 발생기로서, 발생시키는 클럭의 주파수를 변화시킬 수 있는 주파수 가변 클럭 발생기

를 포함하는 디지털 필터.

청구항 17

제 16 항에 있어서,

최종적인 디지털 필터 출력 신호의 송출 타이밍을 조정하는 타이밍 조정 회로를 더 포함하는 디지털 필터.

청구항 18

청구항 4에 기재된 디지털 필터를 갖는 통신 장치.

청구항 19

디지털 변조 신호의 동상 성분 신호와 직교 성분 신호가 병렬로 입력되는, 청구항 6에 기재된 디지털 필터와,

이 디지털 필터로부터 출력되는 상기 동상 성분 신호에 대한 디지털 필터 출력 신호 및 상기 직교 성분 신호에 대한 디지털 필터 출력 신호의 각각을 아날로그 신호로 변환하는 D/A 변환기와,

각 D/A 변환기로부터 출력되는 아날로그 신호에 대하여 소정의 변조를 실시하는 변조기를 포함하는 통신 장치.

청구항 20

청구항 11에 기재된 디지털 필터를 포함하는 통신 장치.

청구항 21

디지털 변조 신호의 동상 성분 신호와 직교 성분 신호가 병렬로 입력되는 청구항 14에 기재된 디지털 필터와,

이 디지털 필터로부터 출력되는 상기 동상 성분 신호에 대한 디지털 필터 출력 신호 및 상기 직교 성분 신호에 대한 디지털 필터 출력 신호의 각각을 아날로그 신호로 변환하는 D/A 변환기와,

각 D/A 변환기로부터 출력되는 아날로그 신호의 각각에 대하여 직교 변조를 실시하는 직교 변조기와,

직교 변조된 신호의 각각의 이득 오차를 검출하는 이득 오차 검출기와,

상기 이득 오차를 0(zero)으로 하도록, 디지털 필터 계수를 산출하는 계수 산출 회로와,

산출된 디지털 필터 계수를 상기 디지털 필터의 상기 제 1 및 제 2 계수 유지 회로에 기입하는 계수 기입 회로

를 포함하는 통신 장치.

청구항 22

청구항 16에 기재된 디지털 필터를 포함하는 통신 장치.

청구항 23

디지털 변조 신호의 동상 성분 신호와 직교 성분 신호가 병렬로 입력되는 청구항 16에 기재된 디지털 필터와,

이 디지털 필터로부터 출력되는 상기 동상 성분 신호에 대한 디지털 필터 출력 신호 및 상기 직교 성분 신호에 대한 디지털 필터 출력 신호의 각각을 아날로그 신호로 변환하는 D/A 변환기와,

각 D/A 변환기로부터 출력되는 아날로그 신호에 대하여 소정의 변조를 실시하는 변조기

를 포함하는 통신 장치.

청구항 24

하기 수학적 식 1, 수학적 식 2, 수학적 식 3, 수학적 식 4의 각 전달 함수 $H(z)$ 로 나타내는 디지털 신호 처리를 실현하는 디지털 필터를 포함하는 통신 장치.

(수학적 식 1)

$$H(z)=h_1+h_5z^{-4}+h_9z^{-8}+h_{13}z^{-12}+h_{17}z^{-16}+h_{21}z^{-20}+h_{25}z^{-24}+h_{29}z^{-28}$$

(수학적 식 2)

$$H(z)=h_2z^{-1}+h_6z^{-5}+h_{10}z^{-9}+h_{14}z^{-13}+h_{18}z^{-17}+h_{22}z^{-21}+h_{26}z^{-25}+h_{30}z^{-29}$$

(수학적 식 3)

$$H(z)=h_3z^{-2}+h_7z^{-6}+h_{11}z^{-10}+h_{15}z^{-14}+h_{19}z^{-18}+h_{23}z^{-22}+h_{27}z^{-26}+h_{31}z^{-30}$$

(수학적 식 4)

$$H(z)=h_4z^{-3}+h_8z^{-7}+h_{12}z^{-11}+h_{16}z^{-15}+h_{20}z^{-19}+h_{24}z^{-23}+h_{28}z^{-27}+h_{32}z^{-31}$$

단, 수학적식 11 및 수학적식 1~수학적식 4에 있어서, $h_1 \sim h_{32}$ 는 디지털 필터 계수를 나타내고, $z^{-1} \sim z^{-31}$ 은 각각 제 1 차 지연~제 31 차 지연을 나타냄.

청구항 25

하기 수학적식 7, 수학적식 8, 수학적식 9, 수학적식 10의 각 전달 함수 $H(z)$ 로 나타내는 디지털 신호 처리를 시분할로 실행함으로써, 실질적으로 하기 수학적식 11의 전달 함수 $H(z)$ 로 나타내는, 우수·우대칭의 탭 구성을 갖는 FIR형 디지털 필터를 이용한 디지털 신호 처리를 실현하는 디지털 신호 처리 방법.

(수학적식 11)

$$H(z)=h_1+h_2z^{-1}+h_3z^{-2}+h_4z^{-3}+h_5z^{-4}+h_6z^{-5}+h_7z^{-6}+h_8z^{-7}+h_9z^{-8}+h_{10}z^{-9}+h_{11}z^{-10}+h_{12}z^{-11}+h_{13}z^{-12}+h_{14}z^{-13}+h_{15}z^{-14}+h_{16}z^{-15}+h_{17}z^{-16}+h_{18}z^{-17}+h_{19}z^{-18}+h_{20}z^{-19}+h_{21}z^{-20}+h_{22}z^{-21}+h_{23}z^{-22}+h_{24}z^{-23}+h_{25}z^{-24}+h_{26}z^{-25}+h_{27}z^{-26}+h_{28}z^{-27}+h_{29}z^{-28}+h_{30}z^{-29}+h_{31}z^{-30}+h_{32}z^{-31}$$

(수학적식 7)

$$H(z)=h_1+h_5z^{-4}+h_9z^{-8}+h_{13}z^{-12}+h_{16}z^{-16}+h_{12}z^{-20}+h_8z^{-24}+h_4z^{-28}$$

(수학적식 8)

$$H(z)=h_2z^{-1}+h_6z^{-5}+h_{10}z^{-9}+h_{14}z^{-13}+h_{15}z^{-17}+h_{11}z^{-21}+h_7z^{-25}+h_3z^{-29}$$

(수학적식 9)

$$H(z)=h_3z^{-2}+h_7z^{-6}+h_{11}z^{-10}+h_{15}z^{-14}+h_{14}z^{-18}+h_{10}z^{-22}+h_6z^{-26}+h_2z^{-30}$$

(수학적식 10)

$$H(z)=h_4z^{-3}+h_8z^{-7}+h_{12}z^{-11}+h_{16}z^{-15}+h_{13}z^{-19}+h_9z^{-23}+h_5z^{-27}+h_1z^{-31}$$

단, 수학적식 11 및 수학적식 7~수학적식 10에 있어서, $h_1 \sim h_{32}$ 는 디지털 필터 계수를 나타내고, $z^{-1} \sim z^{-31}$ 은 각각, 제 1 차 지연~제 31 차 지연을 나타냄.

청구항 26

하기 상태 1에 표시되는 수학적식 14 및 수학적식 15의 각 전달 함수 $H(z)$ 로 나타내는 각 디지털 신호 처리를 각각 병렬로 실행하고,

다음에, 하기 상태 2에 표시되는 수학적식 16 및 수학적식 17의 각 전달 함수 $H(z)$ 로 나타내는 각 디지털 신호 처리를 각각 병렬로 실행하며,

다음에, 하기 상태 3에 표시되는 수학적식 18 및 수학적식 19의 각 전달 함수 $H(z)$ 로 나타내는 각 디지털 신호 처리를 각각 병렬로 실행하고,

다음에, 하기 상태 4에 표시되는 수학적식 20 및 수학적식 21의 각 전달 함수 $H(z)$ 로 나타내는 각 디지털 신호 처리를 각각 병렬로 실행하며,

이에 따라, 실질적으로, 하기 수학적식 12의 전달 함수 $H_i(z)$ 로 표시되는, 우수·우대칭의 탭 구성을 갖는 FIR형 디지털 필터를 이용한 디지털 신호 처리와, 하기 수학적식 13의 전달 함수 $H_q(z)$ 로 표시되는, 우수·우대칭의 탭 구성을 갖는 FIR형 디지털 필터를 이용한 디지털 신호 처리를 각각 병렬로 실행하는 디지털 신호 처리 방법.

(상태 1)

$$H_i(z)=h_1+h_5z^{-4}+h_9z^{-8}+h_{13}z^{-12}+h_{16}z^{-16}+h_{12}z^{-20}+h_8z^{-24}+h_4z^{-28}$$

$$H_q(z)=h_3z^{-2}+h_7z^{-6}+h_{11}z^{-10}+h_{15}z^{-14}+h_{14}z^{-18}+h_{10}z^{-22}+h_6z^{-26}+h_2z^{-30}$$

(상태 2)

$$H_i(z)=h_2z^{-1}+h_6z^{-5}+h_{10}z^{-9}+h_{14}z^{-13}+h_{15}z^{-17}+h_{11}z^{-21}+h_7z^{-25}+h_3z^{-29}$$

$$H_q(z)=h_4z^{-3}+h_8z^{-7}+h_{12}z^{-11}+h_{16}z^{-15}+h_{13}z^{-19}+h_9z^{-23}+h_5z^{-27}+h_1z^{-31}$$

(상태 3)

$$H_i(z)=h_3z^{-2}+h_7z^{-6}+h_{11}z^{-10}+h_{15}z^{-14}+h_{14}z^{-18}+h_{10}z^{-22}+h_6z^{-26}+h_2z^{-30}$$

$$H_q(z)=h_1+h_5z^{-4}+h_9z^{-8}+h_{13}z^{-12}+h_{16}z^{-16}+h_{12}z^{-20}+h_8z^{-24}+h_4z^{-28}$$

(상태 4)

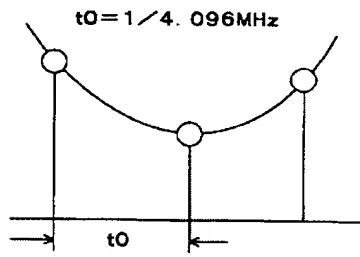
$$H_i(z)=h_4z^{-3}+h_8z^{-7}+h_{12}z^{-11}+h_{16}z^{-15}+h_{13}z^{-19}+h_9z^{-23}+h_5z^{-27}+h_1z^{-31}$$

$$Hq(z) = h_2 zq^{-1} + h_6 zq^{-5} + h_{10} zq^{-9} + h_{14} zq^{-13} + h_{15} zq^{-17} + h_{11} zq^{-21} + h_7 zq^{-25} + h_3 zq^{-29}$$

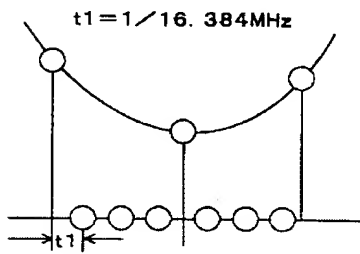
단, 수학식 12 및 수학식 21에 있어서, $h_1 \sim h_{32}$ 는 각각 디지털 필터 계수를 나타내고, $z^{-1} \sim z^{-31}$ 은 각각, 제 1 차 지연~제 31 차 지연을 나타냄.

도면

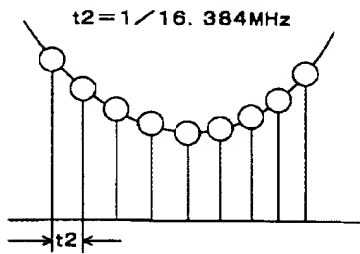
도면1



(a)

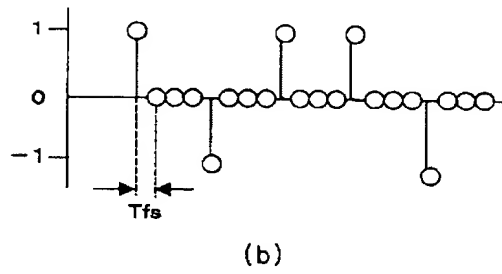
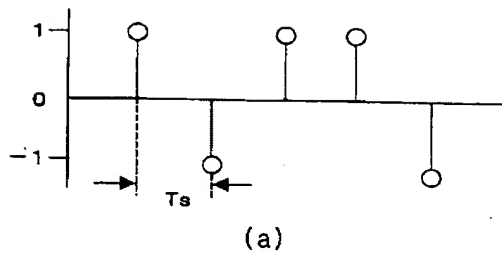


(b)

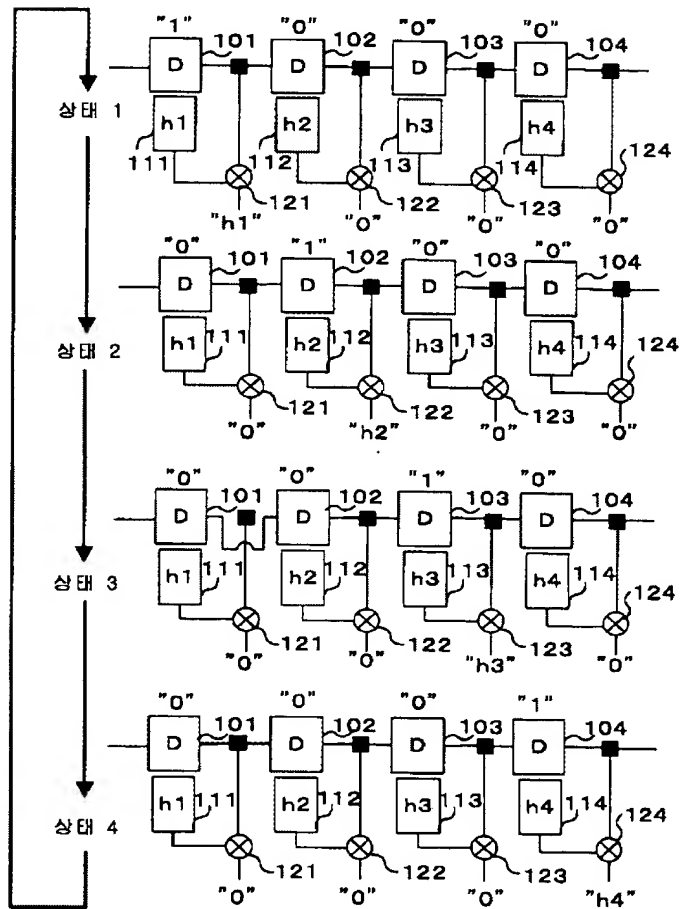


(c)

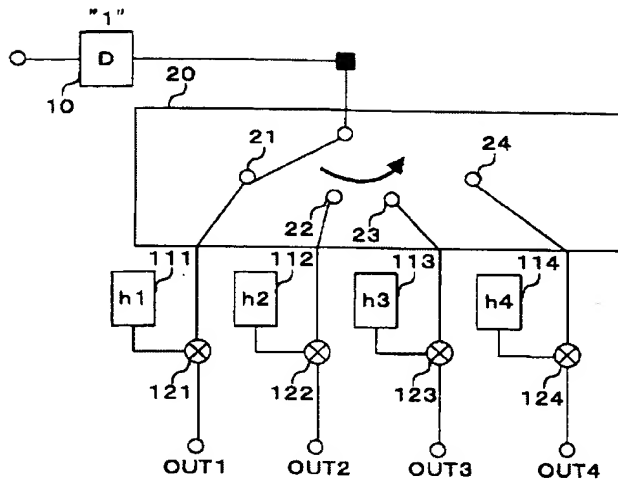
도면2



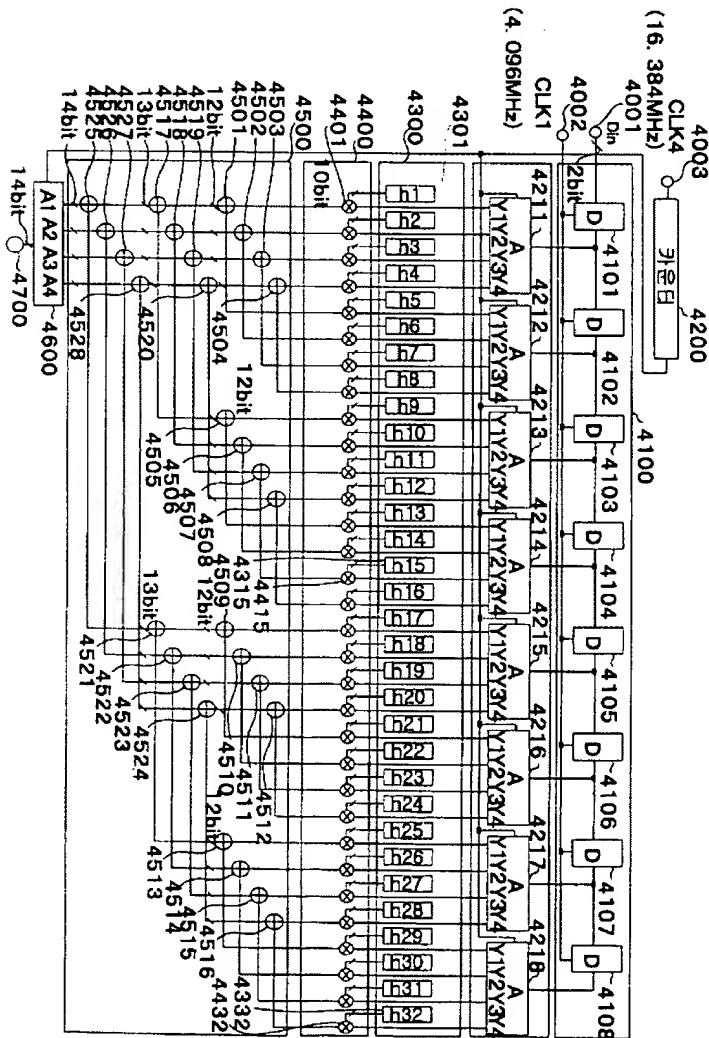
도면3

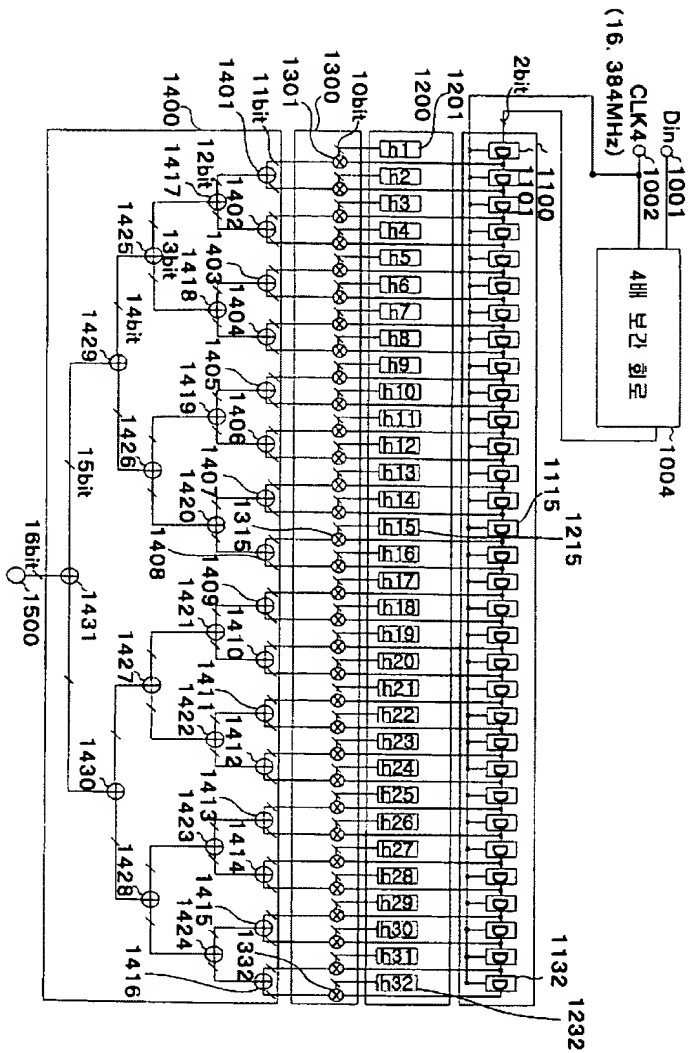


도면4



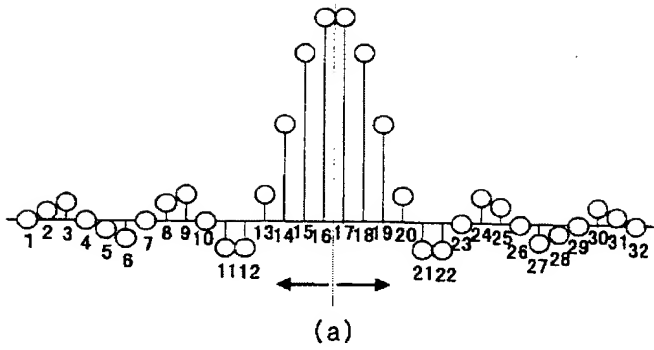
도면5





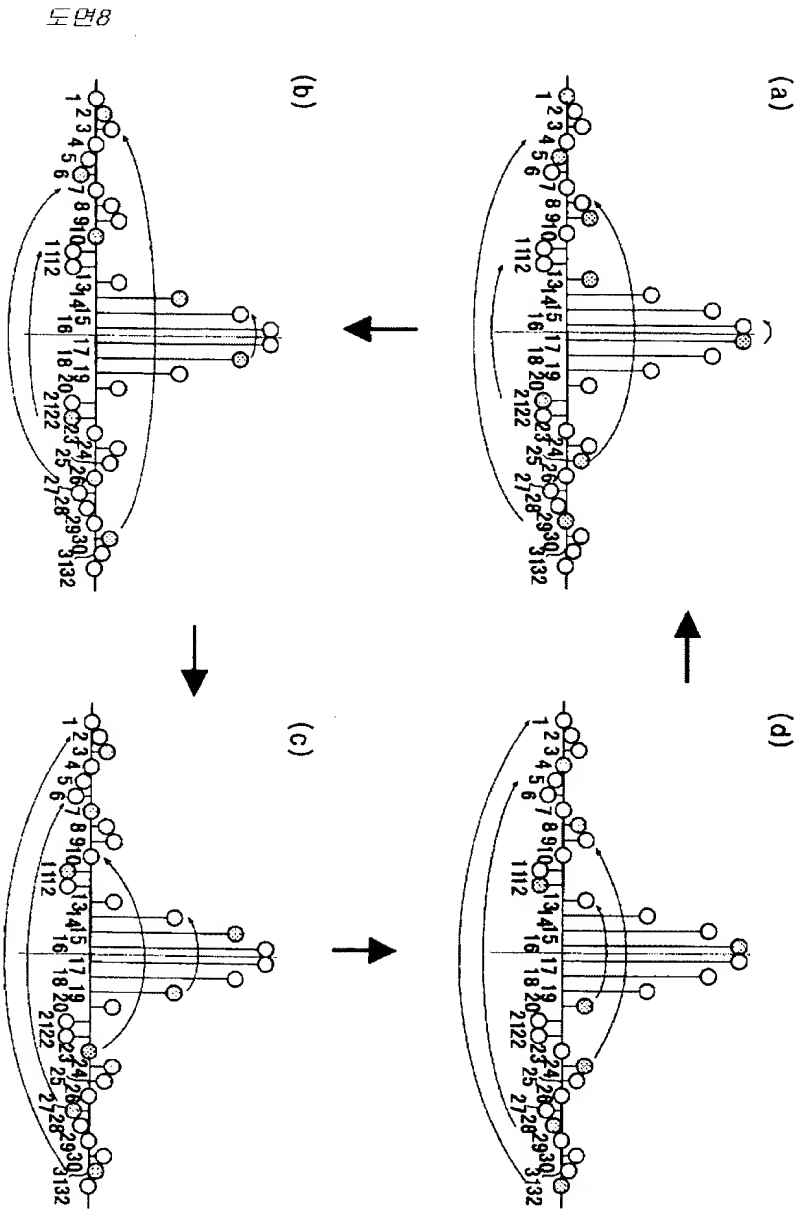
도면 9

도면 7

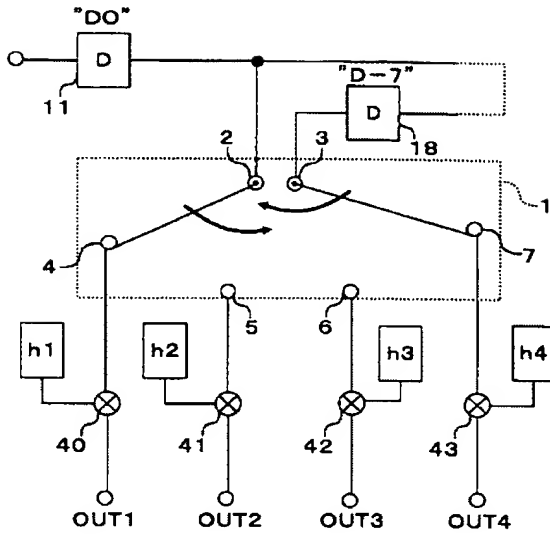


$h1=h32$	$h9=h24$
$h2=h31$	$h10=h23$
$h3=h30$	$h11=h22$
$h4=h29$	$h12=h21$
$h5=h28$	$h13=h20$
$h6=h27$	$h14=h19$
$h7=h26$	$h15=h18$
$h8=h25$	$h16=h17$

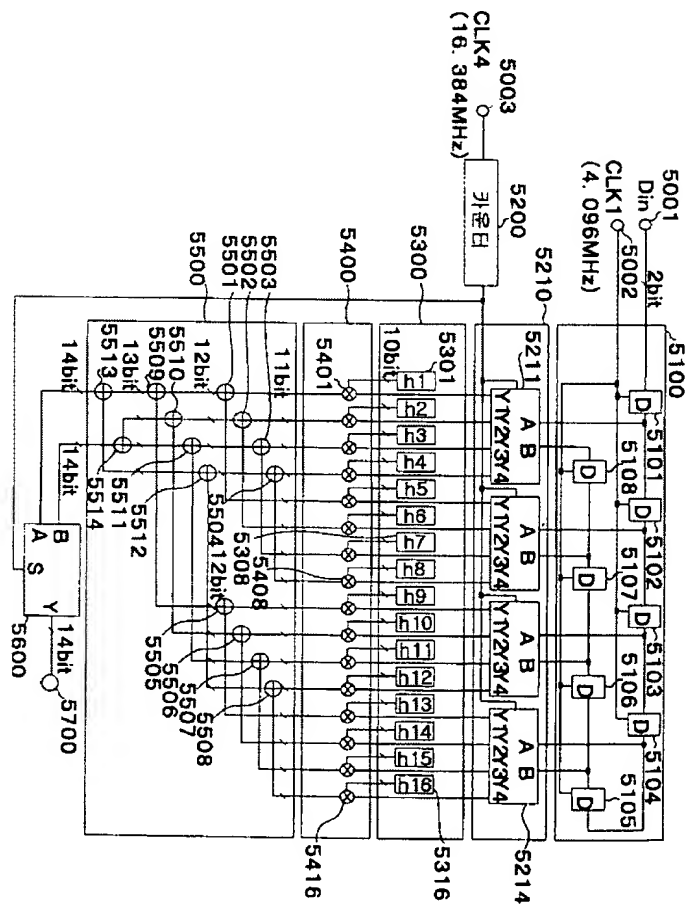
(b)



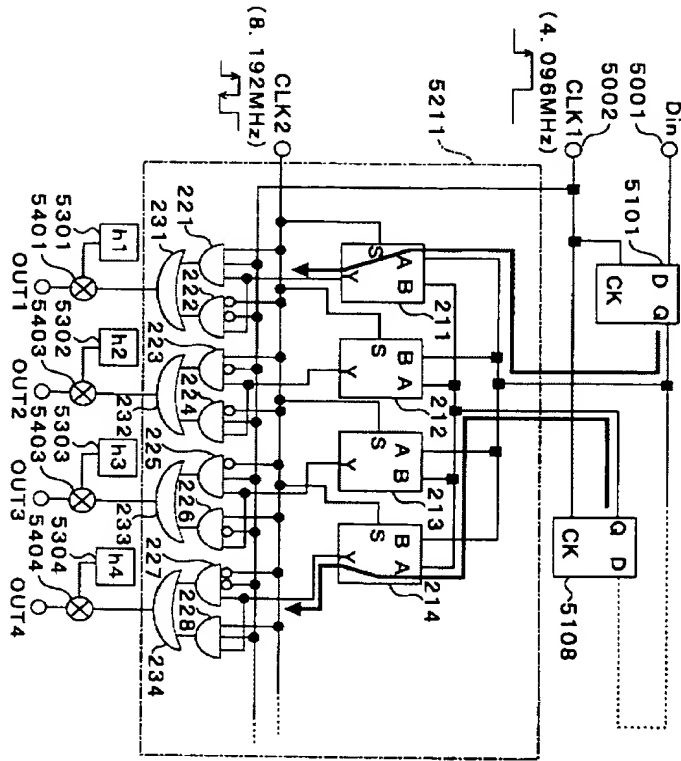
도면9



도면10



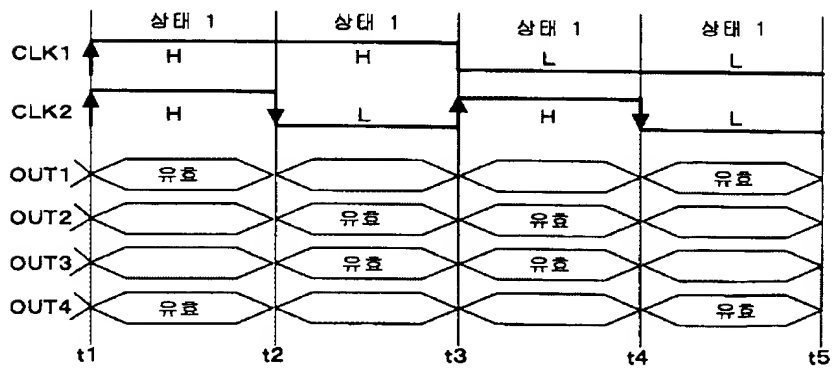
도면 11



도면 12

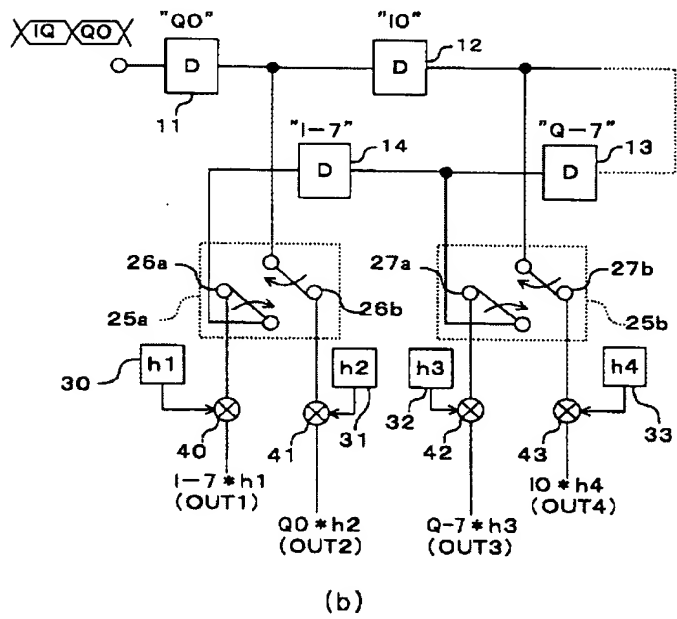
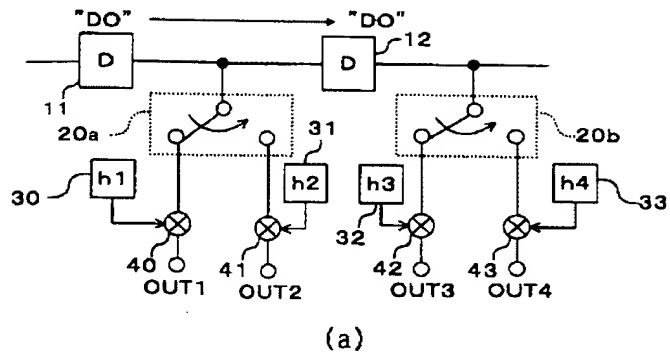
	OUT1	OUT 2	OUT 3	OUT 4
상태 1	$D0 \cdot h1$	0	0	$D-7 \cdot h4$
상태 2	0	$D0 \cdot h2$	$D-7 \cdot h3$	0
상태 3	0	$D-7 \cdot h2$	$D0 \cdot h3$	0
상태 4	$D-7 \cdot h1$	0	0	$D0 \cdot h4$

(a)

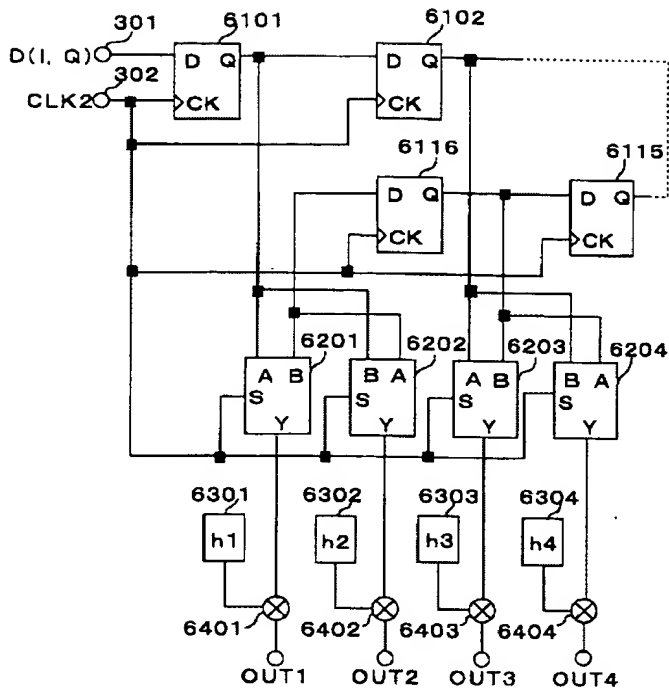


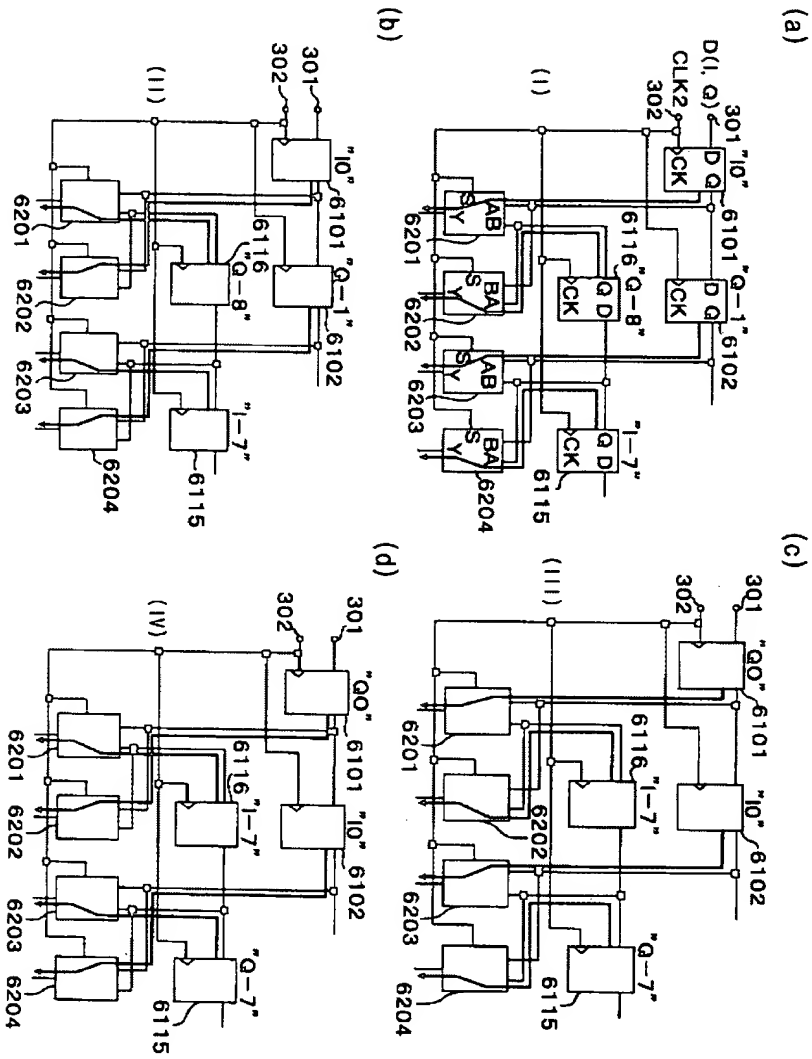
(b)

도면 13



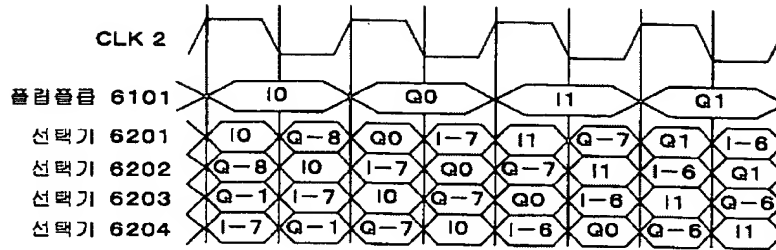
도면 15



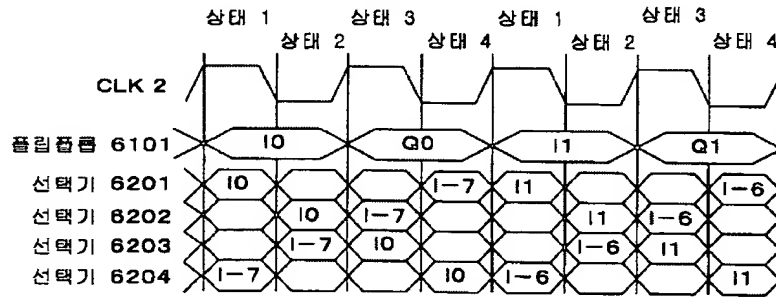


도면 16

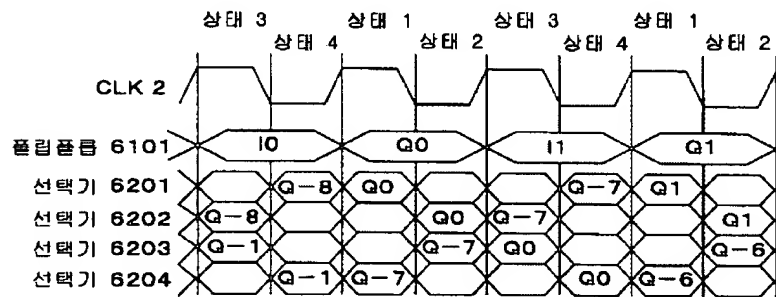
도면 17



(a)



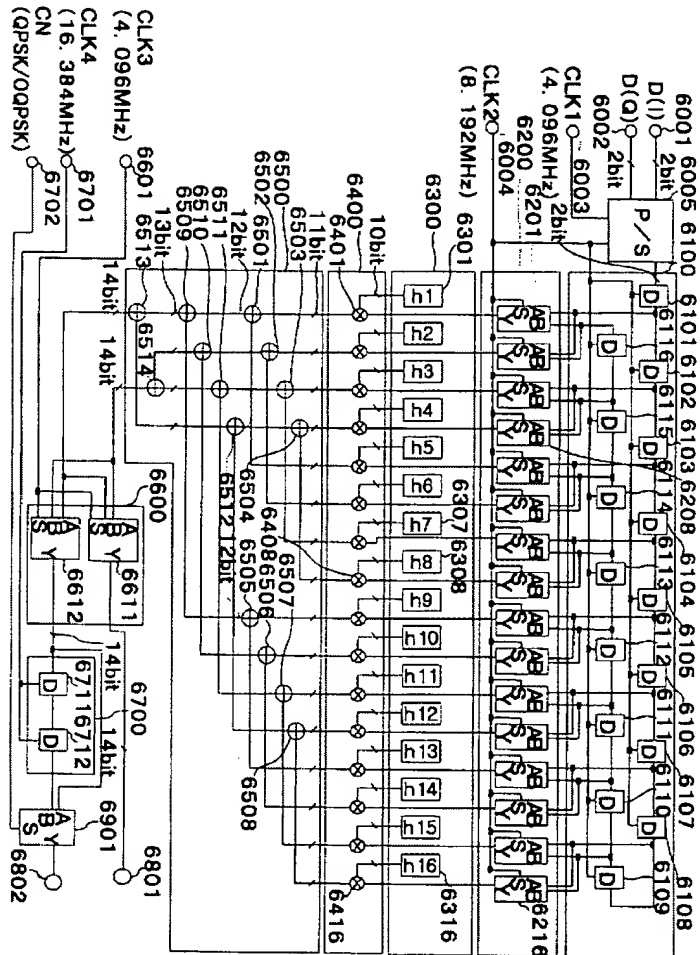
(b)



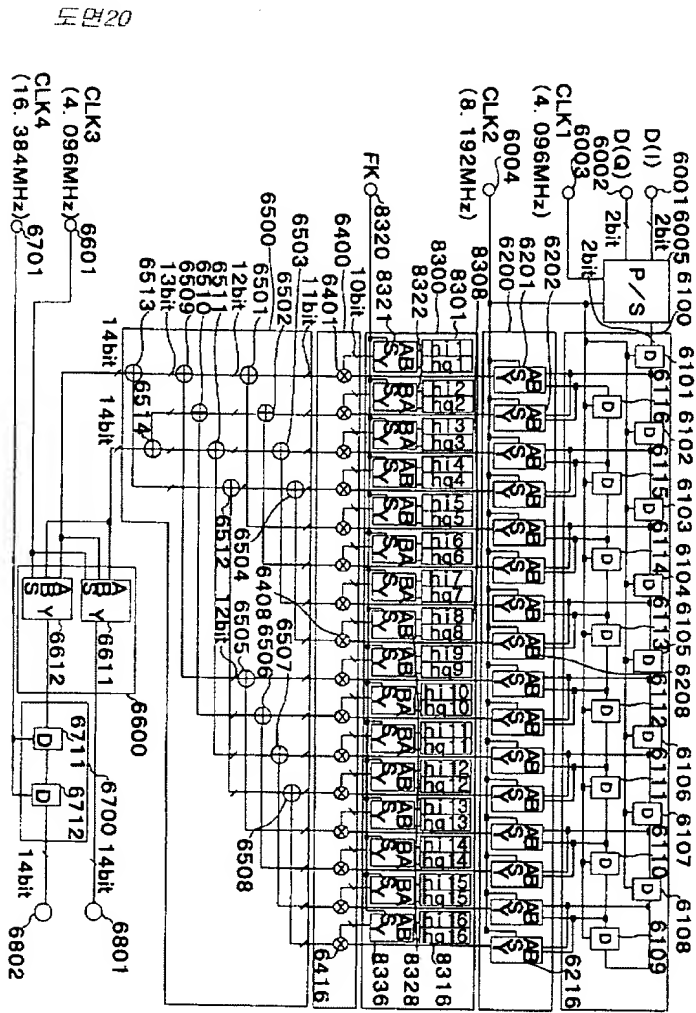
(c)

도면 18

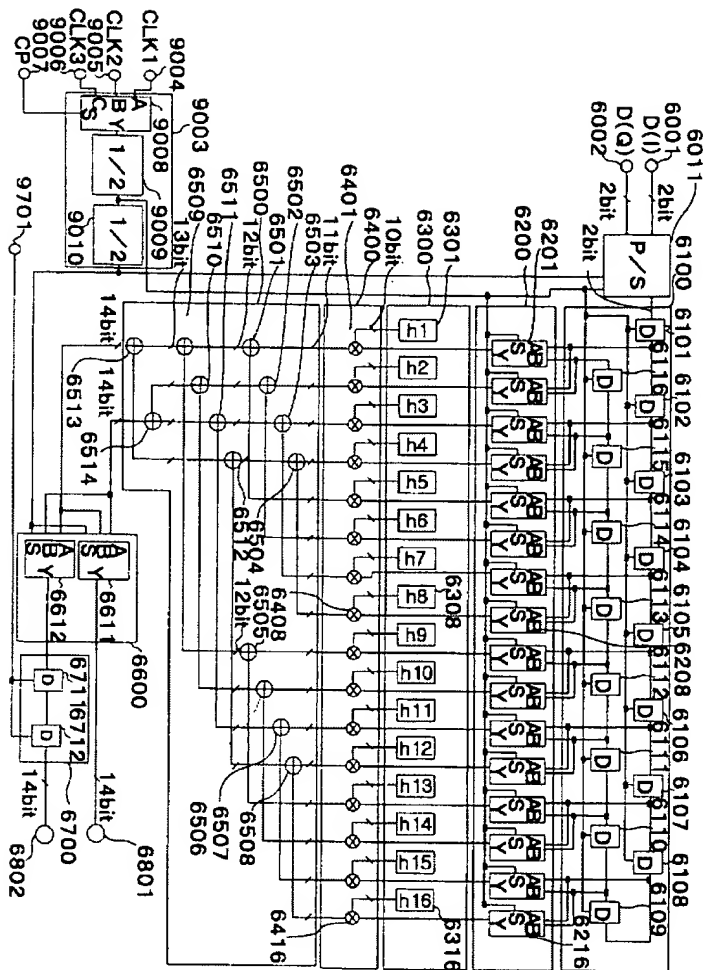
	OUT1	OUT2	OUT3	OUT4
상태 1 + 상태 3	I0*h1	Q-8*h2	Q-1*h3	I-7*h4
상태 2 + 상태 4	Q-8*h1	I0*h2	I-7*h3	Q-1*h4
상태 3 + 상태 1	Q0*h1	I-7*h2	I0*h3	Q-7*h4
상태 4 + 상태 2	I-7*h1	Q0*h2	Q-7*h3	I0*h4

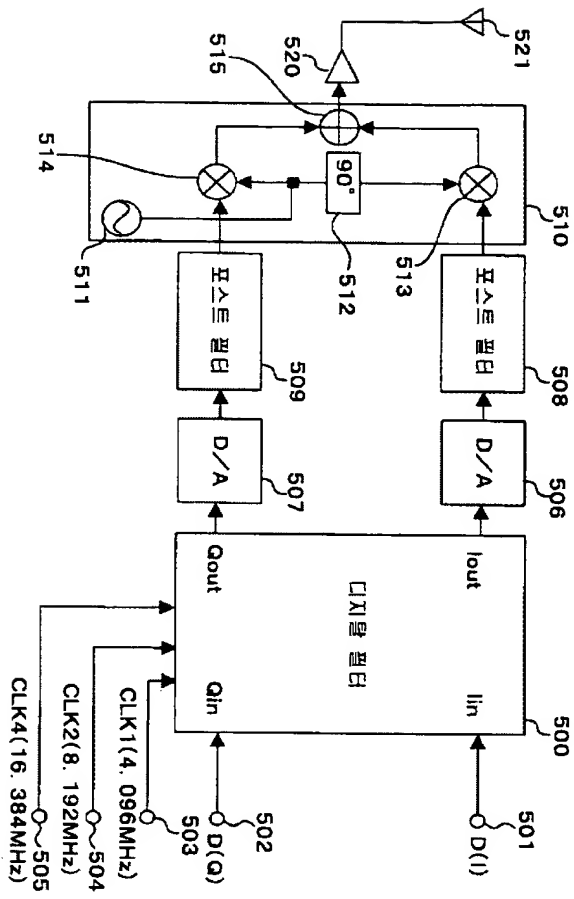


도면 19

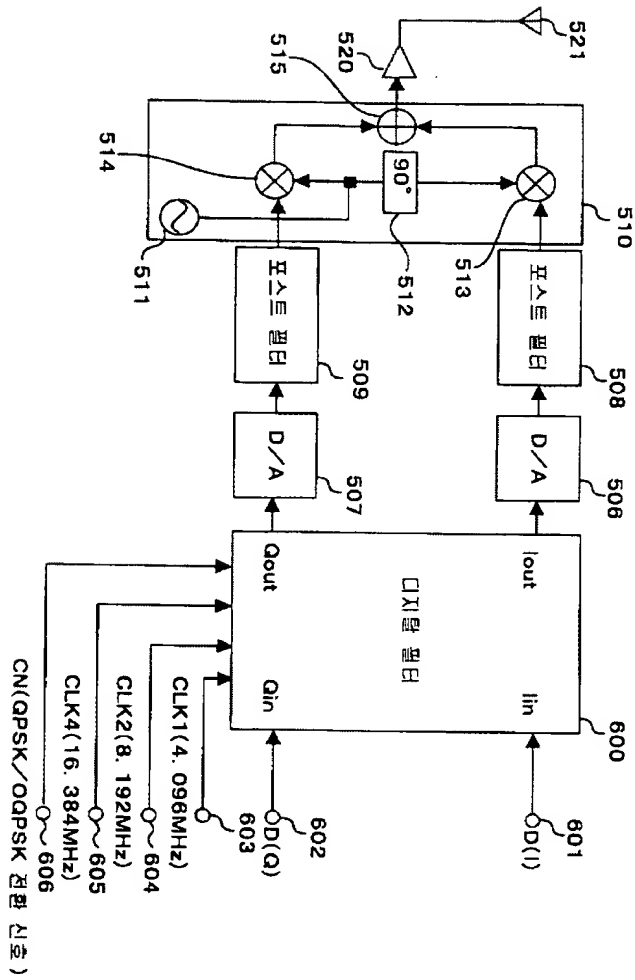


도면21

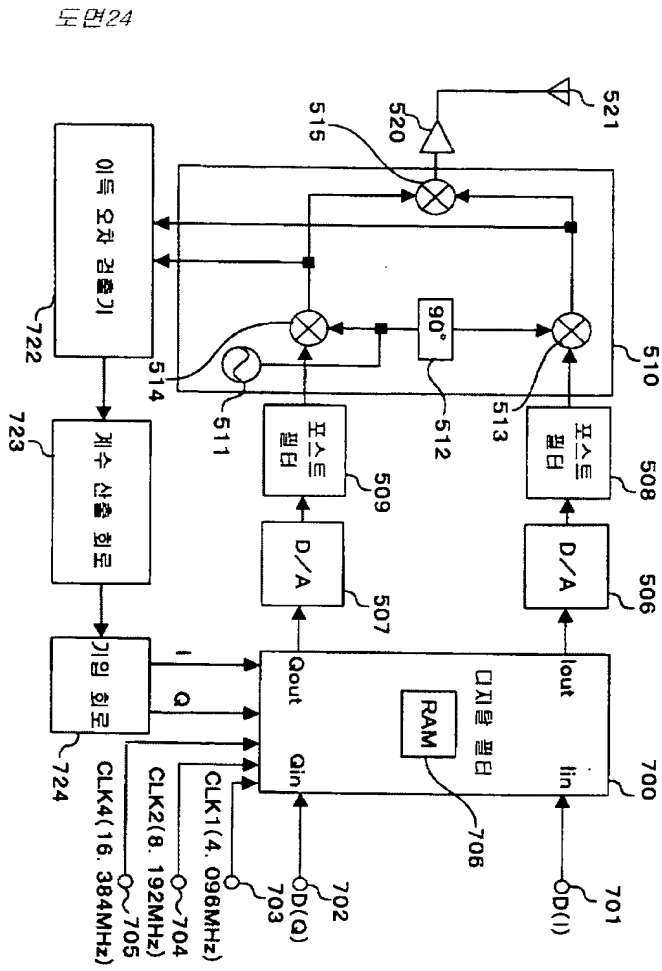




도면 22



도면 23



도면 25

